

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2005 EPO. All rts. reserv.

17615274

Basic Patent (No,Kind,Date): US 20020021295 AA 20020221 <No. of Patents:
002>

Liquid crystal display device and method of driving the same (English)

Patent Assignee: KOYAMA JUN (JP); YAMAZAKI SHUNPEI (JP)

Author (Inventor): KOYAMA JUN (JP); YAMAZAKI SHUNPEI (JP)

National Class: *345205000; 345087000

IPC: *G09G-005/00;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2002132234	A2	20020509	JP 2001242319	A	20010809
US 20020021295	AA	20020221	US 930956	A	20010817 (BASIC)

Priority Data (No,Kind,Date):

JP 2001242319 A 20010809

JP 2000249083 A 20000818

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

07263774 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE AND DRIVING METHOD THEREFOR

PUB. NO.: 2002-132234 [JP 2002132234 A]

PUBLISHED: May 09, 2002 (20020509)

INVENTOR(s): KOYAMA JUN

 YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-242319 [JP 2001242319]

FILED: August 09, 2001 (20010809)

PRIORITY: 2000-249083 [JP 2000249083], JP (Japan), August 18, 2000
(20000818)

INTL CLASS: G09G-003/36; G02F-001/133; G09G-003/20

ABSTRACT

PROBLEM TO BE SOLVED: To provide a liquid crystal display device whose power consumption is reduced by using a driving circuit and pixels having a new circuit configuration.

SOLUTION: In the liquid crystal display device for displaying a video by using a digital video signal of n bits (n is a natural number ≥ 2), each pixel has $(n \times m)$ pieces (m is a natural number) of volatile memory circuits, and $(n \times k)$ pieces (k is a natural number) of non-volatile memory circuits, and has a function of storing digital video signals for m -pieces of frames in the volatile memory circuits and a function of storing digital video signals for k -pieces of frames in non-volatile memory circuits. To display a still picture, the device repeatedly reads the digital video signals stored once in the memory circuits to perform displaying in each frame, and thereby halts driving a source signal driving circuit for that time. Moreover, since the digital video signals stored in the non-volatile memory circuits are stored even after the power is switched off, they can be displayed immediately after the power is switched on again.

【特許請求の範囲】

【請求項 1】複数の画素を有する液晶表示装置において、
前記複数の画素はそれぞれ、複数の記憶回路と、複数の不揮発性の記憶回路とを有することを特徴とする液晶表示装置。

【請求項 2】複数の画素を有する液晶表示装置において、
前記複数の画素はそれぞれ、 n ビット (n は自然数、 $2 \leq n$) のデジタル映像信号を m フレーム分 (m は自然数、 $1 \leq m$) 記憶する $n \times m$ 個の記憶回路と、
前記 n ビットのデジタル映像信号を k フレーム分 (k は自然数、 $1 \leq k$) 記憶する $n \times k$ 個の不揮発性の記憶回路とを有することを特徴とする液晶表示装置。

【請求項 3】複数の画素を有する液晶表示装置において、
前記複数の画素はそれぞれ、
ソース信号線と、
 n 本 (n は自然数、 $2 \leq n$) の書き込み用ゲート信号線と、
 n 本の読み出し用ゲート信号線と、
 n 個の書き込み用トランジスタと、
 n 個の読み出し用トランジスタと、
 n ビットのデジタル映像信号を m フレーム分 (m は自然数、 $1 \leq m$) 記憶する $n \times m$ 個の記憶回路と、
前記 n ビットのデジタル映像信号を k フレーム分 (k は自然数、 $1 \leq k$) 記憶する $n \times k$ 個の不揮発性の記憶回路と、
 $2n$ 個の記憶回路選択部と、
 $2n$ 個の不揮発性記憶回路選択部と、
液晶素子とを有し、
前記 n 個の書き込み用トランジスタのゲート電極はそれぞれ、前記 n 本の書き込み用ゲート信号線のそれぞれ異なるいずれか 1 本と電気的に接続され、
入力電極はそれぞれ、前記ソース信号線と電気的に接続され、
出力電極はそれぞれ、 n 個の前記記憶回路選択部のそれぞれ異なるいずれか 1 個を介して、 m 個の前記記憶回路と電気的に接続され、
また前記出力電極はそれぞれ、 n 個の前記不揮発性記憶回路選択部のそれぞれ異なるいずれか 1 個を介して、 k 個の前記不揮発性の記憶回路と電気的に接続され、
前記 n 個の読み出し用トランジスタのゲート電極はそれぞれ、前記 n 本の読み出し用ゲート信号線のそれぞれ異なるいずれか 1 本と電気的に接続され、
入力電極はそれぞれ、 n 個の前記記憶回路選択部のそれぞれ異なるいずれか 1 個を介して、 k 個の前記不揮発性の記憶回路と電気的に接続され、
また前記入力電極はそれぞれ、 n 個の前記不揮発性記憶回路選択部のそれぞれ異なるいずれか 1 個を介して、 k

個の前記不揮発性の記憶回路と電気的に接続され、
出力電極はそれぞれ、前記液晶素子の一方の電極と電気的に接続されていることを特徴とする液晶表示装置。

【請求項 4】複数の画素を有する液晶表示装置において、
前記複数の画素はそれぞれ、
 n 本 (n は自然数、 $2 \leq n$) のソース信号線と、
書き込み用ゲート信号線と、
 n 本の読み出し用ゲート信号線と、
 n 個の書き込み用トランジスタと、
 n 個の読み出し用トランジスタと、
 n ビットのデジタル映像信号を m フレーム分 (m は自然数、 $1 \leq m$) 記憶する $n \times m$ 個の記憶回路と、
前記 n ビットのデジタル映像信号を k フレーム分 (k は自然数、 $1 \leq k$) 記憶する $n \times k$ 個の不揮発性の記憶回路と、
 $2n$ 個の記憶回路選択部と、
 $2n$ 個の不揮発性記憶回路選択部と、
液晶素子とを有し、
前記 n 個の書き込み用トランジスタのゲート電極はそれぞれ、前記書き込み用ゲート信号線と電気的に接続され、
入力電極はそれぞれ、前記 n 本のソース信号線のそれぞれ異なるいずれか 1 本と電気的に接続され、
出力電極はそれぞれ、 n 個の前記記憶回路選択部のそれぞれ異なるいずれか 1 個を介して、 m 個の前記記憶回路と電気的に接続され、
また前記出力電極はそれぞれ、 n 個の前記不揮発性記憶回路選択部のそれぞれ異なるいずれか 1 個を介して、 k 個の前記不揮発性の記憶回路と電気的に接続され、
前記 n 個の読み出し用トランジスタのゲート電極はそれぞれ、前記 n 本の読み出し用ゲート信号線のそれぞれ異なるいずれか 1 本と電気的に接続され、
入力電極はそれぞれ、 n 個の前記記憶回路選択部のそれぞれ異なるいずれか 1 個を介して、 k 個の前記不揮発性の記憶回路と電気的に接続され、
また前記入力電極はそれぞれ、 n 個の前記不揮発性記憶回路選択部のそれぞれ異なるいずれか 1 個を介して、 k 個の前記不揮発性の記憶回路と電気的に接続され、
出力電極はそれぞれ、前記液晶素子の一方の電極と電気的に接続されていることを特徴とする液晶表示装置。
【請求項 5】請求項 3 もしくは請求項 4 のいずれか 1 項において、
前記記憶回路選択部は、
前記 m 個の記憶回路および前記 k 個の不揮発性の記憶回路のうちいずれか 1 個を選択して、前期書き込み用トランジスタの出力電極と、前記選択された記憶回路もしくは前記選択された不揮発性の記憶回路とを導通し、前記デジタル映像信号の、前記選択された記憶回路への書き込みを行い、

あるいは、前記 m 個の記憶回路および前記 k 個の不揮発性の記憶回路のうちいずれか 1 個を選択して、前記読み出し用トランジスタの入力電極と、前記選択された記憶回路もしくは前記選択された不揮発性の記憶回路とを導通し、前記記憶されたデジタル映像信号の読み出しを行うことを特徴とする液晶表示装置。

【請求項 6】請求項 3 において、
クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、
前記サンプリングパルスにしたがって、 n ビット (n は自然数、 $2 \leq n$) のデジタル映像信号を保持する第 1 のラッチ回路と、
前記第 1 のラッチ回路に保持された前記 n ビットのデジタル映像信号が転送される第 2 のラッチ回路と、
前記第 2 のラッチ回路に転送された前記 n ビットのデジタル映像信号を 1 ビットずつ順に選択し、前記ソース信号線に出力する、ビット選択回路とを有することを特徴とする液晶表示装置。

【請求項 7】請求項 4 において、
クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、
前記サンプリングパルスにしたがって、 n ビット (n は自然数、 $2 \leq n$) のデジタル映像信号のうち、1 ビットの前記デジタル映像信号を保持する第 1 のラッチ回路と、
前記第 1 のラッチ回路に保持された前記 1 ビットの前記デジタル映像信号が転送され、前記ソース信号線に前記 1 ビットの前記デジタル映像信号を出力する第 2 のラッチ回路とを有することを特徴とする液晶表示装置。

【請求項 8】請求項 4 において、
クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、
前記サンプリングパルスにしたがって、1 ビットのデジタル映像信号を保持するラッチ回路と、
前記ラッチ回路に保持された前記 1 ビットのデジタル映像信号を出力する前記ソース信号線を選択する、ビット選択回路とを有することを特徴とする液晶表示装置。

【請求項 9】請求項 1 乃至請求項 8 のいずれか 1 項において、
前記記憶回路はスタティック型メモリ (SRAM) であることを特徴とする液晶表示装置。

【請求項 10】請求項 1 乃至請求項 8 のいずれか 1 項において、
前記記憶回路は強誘電体メモリ (FeRAM) であることを特徴とする液晶表示装置。

【請求項 11】請求項 1 乃至請求項 8 のいずれか 1 項において、
前記記憶回路はダイナミック型メモリ (DRAM) であることを特徴とする液晶表示装置。

【請求項 12】請求項 1 乃至請求項 8 のいずれか 1 項に

において、

前記不揮発性の記憶回路は、電氣的に書き込み、読み出し、消去が可能な不揮発性メモリ (EEPROM) であることを特徴とする液晶表示装置。

【請求項 13】請求項 1 乃至請求項 12 のいずれか 1 項において、

前記記憶回路は、ガラス基板上に形成されていることを特徴とする液晶表示装置。

【請求項 14】請求項 1 乃至請求項 12 のいずれか 1 項において、

前記記憶回路は、プラスチック基板上に形成されていることを特徴とする液晶表示装置。

【請求項 15】請求項 1 乃至請求項 12 のいずれか 1 項において、

前記記憶回路は、ステンレス基板上に形成されていることを特徴とする液晶表示装置。

【請求項 16】請求項 1 乃至請求項 12 のいずれか 1 項において、

前記記憶回路は、単結晶ウェハ上に形成されていることを特徴とする液晶表示装置。

【請求項 17】 n ビット (n は自然数、 $2 \leq n$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、

前記液晶表示装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、

シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、

前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、

前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、

前記ゲート信号線駆動回路においては、

ゲート信号線選択パルスが出力されてゲート信号線が選択され、

前記複数の画素においてはそれぞれ、

前記ゲート信号線が選択されている行において、

ソース信号線より入力される n ビットのデジタル映像信号の、記憶回路への書き込み、

または前記記憶回路に記憶された前記 n ビットのデジタル映像信号の読み出し、

または前記ソース信号線より入力される前記 n ビットのデジタル映像信号もしくは前記記憶回路に記憶された前記 n ビットのデジタル映像信号の、不揮発性の記憶回路への書き込みまたは前記不揮発性の記憶回路に記憶された前記 n ビットのデジタル映像信号の読み出し、

または前記不揮発性の記憶回路に記憶された前記 n ビットのデジタル映像信号の、前記記憶回路への書き込みを行うことを特徴とする液晶表示装置の駆動方法。

【請求項 18】 n ビット (n は自然数、 $2 \leq n$) のデジ

タル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、

前記液晶表示装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、

シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、

前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、

前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、

前記ゲート信号線駆動回路は、ゲート信号線選択パルスを出力して、前記ゲート信号線を、1行目から順次選択し、

前記複数の画素においては、1行目から順次前記nビットのデジタル映像信号の書き込み、または前記nビットの映像信号の読み出しが行われることを特徴とする液晶表示装置の駆動方法。

【請求項19】nビット（nは自然数、 $2 \leq n$ ）のデジタル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、

前記液晶表示装置は、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、

シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、

前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、

前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、

前記ゲート信号線駆動回路は、ゲート信号線選択パルスを、前記ゲート信号線の任意の行を特定して出力することによって選択し、

前記複数の画素においては、前記ゲート信号線が選択されている任意の行において、前記nビットのデジタル映像信号の書き込み、または前記nビットの映像信号の読み出しが行われることを特徴とする液晶表示装置の駆動方法。

【請求項20】請求項17乃至請求項19のいずれか1項において、

静止画像の表示期間においては、

前記記憶回路に記憶された前記nビットのデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、前記ソース信号線駆動回路を停止することを特徴とする液晶表示装置の駆動方法。

【請求項21】請求項1乃至請求項16のいずれか1項に記載の前記液晶表示装置を用いたことを特徴とする電子装置。

【請求項22】請求項17乃至請求項20のいずれか1項に記載の前記液晶表示装置の駆動方法を用いたことを特徴とする電子装置。

【請求項23】請求項21もしくは請求項22のいずれか1項において、

前記電子装置とは、テレビ、パーソナルコンピュータ、携帯端末、ビデオカメラ、ヘッドマウントディスプレイのいずれか1つであることを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体表示装置（以下表示装置と表記する）の駆動回路および駆動回路を用いた表示装置に関し、特に、絶縁体上に作成される薄膜トランジスタを有するアクティブマトリクス型表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型表示装置に関する。その中で特に、映像ソースとしてデジタル映像信号を用いるアクティブマトリクス型液晶表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】近年、ガラス基板等の絶縁体上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ（以下TFTと表記する）を用いたアクティブマトリクス型表示装置の普及が顕著となっている。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万のTFTを有し、各画素の電荷を制御することによって画像の表示を行っている。

【0003】さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、液晶表示装置は不可欠なデバイスとなってきている。

【0004】デジタル方式の液晶表示装置の概略図の一例を、図13に示す。中央に画素部1308が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路1301が配置されている。ソース信号線駆動回路1301は、第1のラッチ回路1304、第2のラッチ回路1305、D/A変換回路1306、アナログスイッチ1307等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路1302が配置されている。なお、図13においては、ゲート信号線駆動回路1302は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

【0005】ソース信号線駆動回路1301に関しては、図14に示すような構成を有している。図14に例として示す駆動回路は、水平方向解像度1024画素、3ビットデジタル階調の表示に対応したソース信号線駆動回路であり、シフトレジスタ回路（SR）1401、第1のラッチ回路（LAT1）1402、第2のラッチ

回路 (LAT2) 1403、D/A変換回路 (もしくは D/Aコンバータ: D/A) 1404等を有する。なお、図14では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【0006】図13および図14を用いて動作について簡単に説明する。まず、シフトレジスタ回路1303

(図14中、SRと表記)にクロック信号(S-CLK、S-CLKb)およびスタートパルス(S-SP)が入力され、順次パルスが出力される。続いて、それらのパルスは第1のラッチ回路1304(図14中、LAT1と表記)に入力され、同じく第1のラッチ回路1304に入力されたデジタル映像信号(Digital Data)をそれぞれ保持していく。ここで、D1が最上位ビット(MSB: Most Significant Bit)、D3が最下位ビット(LSB: Least Significant Bit)である。第1のラッチ回路1304において、1水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路1304で保持されているデジタル映像信号は、ラッチ信号(Latch Pulse)の入力に従い、一斉に第2のラッチ回路1305(図14中、LAT2と表記)へと転送される。

【0007】その後、再びシフトレジスタ回路1303が動作し、次の水平周期分のデジタル映像信号の保持が開始される。同時に、第2のラッチ回路1305で保持されているデジタル映像信号は、D/A変換回路1306(図14中、D/Aと表記)にてアナログ映像信号へと変換される。このアナログ化されたデジタル映像信号は、ソース信号線を経由して画素に書き込まれる。この動作を繰り返すことによって、画像の表示が行われる。

【0008】

【発明が解決しようとする課題】一般的なアクティブマトリクス型液晶表示装置においては、動画の表示をスムーズに行うため、1秒間に60回前後、画面表示の更新が行われる。すなわち、1フレーム毎にデジタル映像信号を供給し、その都度画素への書き込みを行う必要がある。たとえ、映像が静止画であったとしても、1フレーム毎に同一の信号を供給しつづけないければならないため、駆動回路が連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

【0009】静止画のデジタル映像信号を一旦、外部の記憶回路に書き込み、以後は1フレーム毎に外部の記憶回路から液晶表示装置にデジタル映像信号を供給する方法もあるが、いずれの場合にも外部の記憶回路と駆動回路は動作し続ける必要がある。

【0010】特にモバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで使用されることが大部分を占めているにもかかわらず、前述のように外部回路、駆動回路などは静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【0011】本発明は前述のような問題点を鑑見て、新規の回路を用いることにより、静止画の表示時における外部回路、信号線駆動回路などの消費電力を低減することを課題とする。

【0012】

【課題を解決するための手段】前述の課題を解決するために、本発明では次のような手段を用いた。

【0013】画素内に複数の記憶回路を配置し、画素毎にデジタル映像信号を記憶させる。静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同様であるので、フレーム毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。すなわち、静止画を表示する際は、最低1フレーム分の信号の処理動作を行って以降は、外部回路、ソース信号線駆動回路などを停止させておくことが可能となる。

【0014】さらに、画素内に配置されている記憶回路の一部は不揮発性のものであり、一度この不揮発性の記憶回路に記憶したデジタル映像信号は、表示装置の電源を遮断した後も継続して記憶しておくことが出来る。よって、再度電源を投入した後に、改めてデジタル映像信号のサンプリングを行うことなく、不揮発性の記憶回路よりデジタル映像信号を読み出して静止画の表示が可能である。それに伴って電力消費を大きく低減することが可能となる。

【0015】

【発明の実施の形態】図2は、記憶回路を有する画素を用いた液晶表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路201、第1のラッチ回路202、第2のラッチ回路203、ビット信号選択スイッチ204、画素205を有する。210は、ゲート信号線駆動回路あるいは外部から直接供給される信号が入力される信号線であり、画素の説明とともに後述する。

【0016】図1は、図2における画素205における回路構成を詳細に示したものである。この画素は、3ビットデジタル階調に対応したものであり、液晶素子(LC)、保持容量(Cs)、揮発性の記憶回路(A1~A3およびB1~B3)、不揮発性の記憶回路(C1~C3)等を有している。101はソース信号線、102~104は書き込み用ゲート信号線、105~107は、読み出し用ゲート信号線、108~110は書き込み用TFT、111~113は読み出し用TFT、114~125は記憶回路選択部である。

【0017】本発明の特徴は、画素が有する記憶回路の中に、少なくともnビットのデジタル映像信号を1フレーム分記憶する不揮発性の記憶回路(図1中、C1~C3で表記)を含む点にある。その他の記憶回路(図1中、A1~A3、B1~B3で表記)に関しては、不揮

発性の記憶回路との区別を明確とするため、ここではあえて揮発性の記憶回路と表記しているが、A 1 ~ A 3、B 1 ~ B 3 を構成する記憶回路は必ずしも揮発性である必要はなく、不揮発性であっても良い。ただし、1 フレーム期間内で書き込みや読み出しを行う必要があり、その書き込み時間や読み出し時間が十分に短い必要があるため、本発明の実施形態においては、S R A M や D R A M 等の揮発性の記憶回路を用いている。

【0 0 1 8】図 3 は、図 1 に示した本発明の表示装置における動作タイミングを簡単に示したものである。表示装置は 3 ビットデジタル階調、V G A のものを対象としている。図 1 ~ 図 3 を用いて、駆動方法について説明する。なお、各番号は、図 1 ~ 図 3 のものをそのまま用いる（図番は省略する）。

【0 0 1 9】図 2 および図 3 (A) (B) を参照する。図 3 (A) において、各フレーム期間を α 、 β 、 γ 、 δ と表記して説明する。まず、区間 α における回路動作について説明する。

【0 0 2 0】従来のデジタル方式の駆動回路の場合と同様に、シフトレジスタ 2 0 1 にクロック信号 (S - C L K、S - C L K b) およびスタートパルス (S - S P) が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第 1 のラッチ回路 2 0 2 (L A T 1) に入力され、同じく第 1 のラッチ回路 2 0 2 に入力されたデジタル映像信号 (D i g i t a l D a t a) をそれぞれ保持していく。この期間を、本明細書においてはドットデータサンプリング期間と表記する。1 水平期間分のドットデータサンプリング期間は、図 3 (A) において 1 ~ 4 8 0 で示す各期間である。デジタル映像信号は 3 ビットであり、D 1 が M S B (Most Significant Bit)、D 3 が L S B (Least Significant Bit) である。第 1 のラッチ回路 2 0 2 において、1 水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第 1 のラッチ回路 2 0 2 で保持されているデジタル映像信号は、ラッチ信号 (L a t c h P u l s e) の入力に従い、一斉に第 2 のラッチ回路 2 0 3 (L A T 2) へと転送される。

【0 0 2 1】続いて、再びシフトレジスタ回路 2 0 1 から出力されるサンプリングパルスに従い、次水平周期分のデジタル映像信号の保持動作が行われる。

【0 0 2 2】一方、第 2 のラッチ回路 2 0 3 に転送されたデジタル映像信号は、画素内に配置された揮発性の記憶回路に書き込まれる。図 3 (B) に示すように、次のドットデータサンプリング期間を I、II および III と 3 分割し、第 2 のラッチ回路に保持されているデジタル映像信号をソース信号線に出力する。このとき、ビット信号選択スイッチ 2 0 4 によって、各ビットの信号が順番にソース信号線に出力されるように選択的に接続される。

【0 0 2 3】期間 I では、書き込み用ゲート信号線 1 0

2 にパルスが入力されて T F T 1 0 8 が導通し、記憶回路選択部 1 1 4 が揮発性の記憶回路 A 1 を選択し、揮発性の記憶回路 A 1 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 1 0 3 にパルスが入力されて T F T 1 0 9 が導通し、記憶回路選択部 1 1 5 が揮発性の記憶回路 A 2 を選択し、揮発性の記憶回路 A 2 にデジタル映像信号が書き込まれる。最後に、期間 III では、書き込み用ゲート信号線 1 0 4 にパルスが入力されて T F T 1 1 0 が導通し、記憶回路選択部 1 1 6 が揮発性の記憶回路 A 3 を選択し、揮発性の記憶回路 A 3 にデジタル映像信号が書き込まれる。

【0 0 2 4】以上で、1 水平期間分のデジタル映像信号の処理が終了する。図 3 (B) の期間は、図 3 (A) において※印で示された期間である。以上の動作を最終段まで行うことにより、1 フレーム分のデジタル映像信号が揮発性の記憶回路 A 1 ~ A 3 に書き込まれる。

【0 0 2 5】ところで、本発明の表示装置においては、3 ビットのデジタル階調を、時間階調方式により表現する。時間階調方式とは、画素に印加する電圧によって輝度の制御を行う通常的方式と異なり、画素には 2 種類の電圧のみを印加して O N、O F F (表示上は白、黒) の 2 状態を用い、表示時間の差を利用して階調を得る方式である。時間階調方式において n ビットの階調表現を行う際には、その表示期間を n 個の期間に分割し、各期間の長さの比を $2^{n-1} : 2^{n-2} : \dots : 2^0$ のように 2 のべき乗とし、どの期間で画素を O N の状態にするかによって、表示期間の長さに差を生じ、もって階調の表現を行う。なお、ここで画素が O N の状態にあるとは、画素電極間に電圧が印加されている状態をいい、O F F の状態にあるとは、電圧が印加されていない状態を言う。以下このような状態を O N、O F F と表記する。

【0 0 2 6】また、表示期間の長さを 2 のべき乗以外の区分によって階調表示を行うようにしても表示は可能である。

【0 0 2 7】以上をふまえて、区間 β における動作について説明する。最終段における揮発性の記憶回路への書き込みが終了すると、1 フレーム目の表示が行われる。図 3 (C) は、3 ビットの時間階調方式について説明する図である。今、デジタル映像信号は、ビットごとに揮発性の記憶回路 A 1 ~ A 3 に記憶されている。T s 1 は、第 1 ビットデータによる表示期間、T s 2 は、第 2 ビットデータによる表示期間、T s 3 は、第 3 ビットデータによる表示期間であり、各表示期間の長さは、T s 1 : T s 2 : T s 3 = 4 : 2 : 1 となっている。

【0 0 2 8】ここでは 3 ビットであるから、輝度は 0 ~ 7 までの 8 段階が得られる。T s 1 ~ T s 3 のいずれの期間においても表示が行われない場合には輝度 0、全ての期間を用いて表示を行えば輝度 7 を得る。例えば、輝度 5 を表示したい場合には、T s 1 と T s 3 において画素を O N の状態とし、表示させればよい。

【0029】具体的に図を用いて説明する。Ts1においては、読み出し用ゲート信号線105にパルスが入力されてTF T111が導通し、記憶回路選択部117が揮発性の記憶回路A1を選択し、揮発性の記憶回路A1に記憶されたデジタル映像信号にしたがって画素が駆動される。続いて、Ts2においては、読み出し用ゲート信号線106にパルスが入力されてTF T112が導通し、記憶回路選択部118が揮発性の記憶回路A2を選択し、揮発性の記憶回路A2に記憶されたデジタル映像信号にしたがって画素が駆動される。最後に、Ts3においては、読み出し用ゲート信号線107にパルスが入力されてTF T113が導通し、記憶回路選択部119が揮発性の記憶回路A3を選択し、揮発性の記憶回路A3に記憶されたデジタル映像信号によって画素に電圧が印加される。

【0030】ここで、液晶表示装置の場合は、ノーマリーホワイトモードと、ノーマリーブラックモードがある。両者において、画素のON、OFFで白、黒が逆となるため、前述の説明と輝度とが逆になる場合もある。

【0031】以上のようにして、1フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第2のラッチ回路へのデジタル映像信号の転送までは前述と同様の手順である。続く揮発性の記憶回路への書き込み期間においては、もう一方の揮発性の記憶回路を用いる。ただし、画素内に設けた揮発性の記憶回路が1フレーム分であるときは、先に書き込んだ揮発性の記憶回路に上書きする。

【0032】期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTF T108が導通し、記憶回路選択部114が揮発性の記憶回路B1を選択し、揮発性の記憶回路B1にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTF T109が導通し、記憶回路選択部115が揮発性の記憶回路B2を選択し、揮発性の記憶回路B2にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTF T110が導通し、記憶回路選択部116が揮発性の記憶回路B3を選択し、揮発性の記憶回路B3にデジタル映像信号が書き込まれる。

【0033】続いて、区間γに入り、揮発性の記憶回路B1～B3に記憶されたデジタル映像信号に従って2フレーム目の表示が行われる。同時に、次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、1フレーム目の表示が終了した揮発性の記憶回路A1～A3に再び記憶される。

【0034】その後、揮発性の記憶回路A1～A3に記憶されたデジタル映像信号の表示が区間δで行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2フレーム目の表示

が終了した揮発性の記憶回路B1～B3に再び記憶される。

【0035】不揮発性の記憶回路C1～C3へのデジタル映像信号の書き込みは、一般的にSRAM等の揮発性の記憶回路への書き込みに比べて、非常に長い時間を必要とするため、一旦揮発性の記憶回路A1～A3もしくはB1～B3にデジタル映像信号を記憶させ、そこから不揮発性の記憶回路C1～C3へ書き込むという手順を踏むのが望ましい。図1においては、揮発性の記憶回路A1～A3もしくはB1～B3への書き込みが終了したのち、読み出し用TF T111～113がONして映像表示を行うが、不揮発性の記憶回路への書き込みを行う際は、読み出し用TF T111～113がOFFし、記憶回路選択部120～122が、不揮発性の記憶回路C1～C3を選択し、書き込みを行う。この期間中は、画面上には表示が行われないが、書き込み時間は数[ms]程度～100[ms]程度なのでほとんど問題とはならない。

【0036】また、電源投入時等に不揮発性の記憶回路C1～C3に記憶されたデジタル映像信号を読み出して映像表示を行う場合にも、一旦揮発性の記憶回路A1～A3もしくはB1～B3の方に書き込んで、以後のフレーム期間では、揮発性の記憶回路A1～A3もしくはB1～B3から読み出すようにすると良い。

【0037】以上の動作を繰り返して、映像の表示が継続的に行われる。ここで、静止画を表示する場合には、最初の動作で揮発性の記憶回路A1～A3にいったんデジタル映像信号が記憶されてからは、各フレーム期間で揮発性の記憶回路A1～A3に記憶されたデジタル映像信号を反復して読み出せば良い。したがってこの静止画が表示されている期間中は、外部回路、ソース信号線駆動回路などの駆動を停止させることが出来る。

【0038】また、画素部に配置されている不揮発性の記憶回路C1～C3にデジタル映像信号を書き込んでおくことで、液晶表示装置の電源を遮断した後も継続して記憶しておくことが出来る。よって、再度電源を入れた後に、改めてデジタル映像信号のサンプリングを行うことなく、静止画の表示が可能である。

【0039】さらに、記憶回路へのデジタル映像信号の書き込み、あるいは記憶回路からのデジタル映像信号の読み出しは、ゲート信号線1本単位で行うことが可能である。すなわち、ソース信号線駆動回路およびゲート信号線駆動回路を短期間のみ動作させ、画面の一部のみを書き換えるなどといった表示方法をとることも出来る。この場合は、ゲート信号線駆動回路として、デコーダを使うのが望ましい。デコーダを使用する場合には、特開平8-101609に開示された回路を用いればよく、図20に一例を示す。また、ソース信号線駆動回路にもデコーダを用いて部分書き換えを行うことも可能である。

【0040】また、本実施形態においては、1画素内にA1～A3およびB1～B3の揮発性の記憶回路を有し、3ビットのデジタル映像信号を2フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、nビットのデジタル映像信号をmフレーム分だけ記憶するには、1画素内にn×m個の揮発性の記憶回路を有していれば良い。

【0041】同様に、本実施形態においては、1画素内にC1～C3の不揮発性の記憶回路を有し、3ビットのデジタル映像信号を1フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、nビットのデジタル映像信号を、電源を遮断した後もkフレーム分だけ記憶しておくには、1画素内にn×k個の不揮発性の記憶回路を有していれば良い。

【0042】以上の方法により、画素内に実装された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、外部回路、ソース信号線駆動回路などを駆動することなく、継続的に静止画表示が可能となる。よって、液晶表示装置の低消費電力化に大きく貢献することが出来る。

【0043】また、ソース信号線駆動回路に関しては、ビット数に応じて増加するラッチ回路等の配置の問題から、必ずしも絶縁体上に一体形成する必要はなく、その一部あるいは全部を外付けで構成しても良い。

【0044】さらに、本実施形態にて示したソース信号線駆動回路においては、ビット数に応じたラッチ回路を配置しているが、1ビット分のみ配置して動作させることも可能である。この場合、上位ビットから下位ビットのデジタル映像信号を直列にラッチ回路に入力すれば良い。

【0045】

【実施例】以下に本発明の実施例について記述する。

【0046】[実施例1]本実施例においては、実施形態において示した回路における記憶回路選択部を、具体的にトランジスタ等を用いて構成し、その動作について説明する。

【0047】図4は、図1に示した画素と同様のもので、記憶回路選択部周辺を実際に回路で構成した例である。図4中、揮発性の記憶回路A1～A3およびB1～B3の各々に、書き込み選択用TFT420、422、424、426、428、430と、読み出し選択用TFT421、423、425、427、429、431とを設け、記憶回路選択信号線414～419をもって制御する。不揮発性の記憶回路C1～C3の各々は、書き込み選択用TFT435、437、439と、読み出し選択用TFT436、438、440とを設け、記憶回路選択信号線432～434、441～443をもって制御する。本実施例に示した画素は、揮発性の記憶回路A1～A3およびB1～B3において、3ビットのデ

ジタル映像信号を2フレーム分記憶し、さらに不揮発性の記憶回路C1～C3によって、3ビットのデジタル映像信号を1フレーム分記憶するものである。

【0048】本実施例にて図4で示した回路の駆動は、実施形態にて図3を用いて示したタイミングチャートに従って駆動することが出来る。図3、図4を用いて、記憶回路選択部の実際の駆動方法を加えて、回路動作について説明する。なお、各番号は、図3、図4のものをそのまま用いる（図番は省略する）。

【0049】図3（A）（B）を参照する。図3（A）において、各フレーム期間を α 、 β 、 γ 、 δ と表記して説明する。まず、区間 α における回路動作について説明する。

【0050】シフトレジスタ回路から第2のラッチ回路までの駆動方法に関しては実施形態にて示したものと同様であるのでそれに従う。

【0051】まず、記憶回路選択信号線414～416にパルスが入力されて書き込み選択用TFT420、424、428がONし、揮発性の記憶回路A1～A3への書き込みが可能な状態となる。期間Iでは、書き込み用ゲート信号線402にパルスが入力されて書き込み用TFT408が導通し、揮発性の記憶回路A1にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線403にパルスが入力されて書き込み用TFT409が導通し、揮発性の記憶回路A2にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線404にパルスが入力されて書き込み用TFT410が導通し、揮発性の記憶回路A3にデジタル映像信号が書き込まれる。

【0052】以上で、1水平期間分のデジタル映像信号の処理が終了する。図3（B）の期間は、図3（A）において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が揮発性の記憶回路A1～A3に書き込まれる。

【0053】続いて、区間 β における動作について説明する。最終段における揮発性の記憶回路への書き込みが終了すると、1フレーム目の表示が行われる。図3

（C）は、3ビットの時間階調方式について説明する図である。今、デジタル映像信号は、ビットごとに揮発性の記憶回路A1～A3に記憶されている。Ts1は、第1ビットデータによる表示期間、Ts2は、第2ビットデータによる表示期間、Ts3は、第3ビットデータによる表示期間であり、各表示期間の長さは、Ts1：Ts2：Ts3=4：2：1となっている。

【0054】ただし、表示期間の長さを2のべき乗以外の区分によって階調表示を行うようにしても表示は可能である。

【0055】ここでは3ビットであるから、輝度は0～7までの8段階が得られる。Ts1～Ts3のいずれの期間においても表示が行われない場合には輝度0、全て

の期間を用いて表示を行えば輝度 7 を得る。例えば、輝度 5 を表示したい場合には、T s 1 と T s 3 において画素を ON の状態とし、表示させればよい。

【0056】具体的に図を用いて説明する。揮発性の記憶回路への書き込み動作が終了した後、表示期間に移る際に、記憶回路選択信号線 4 1 4 ~ 4 1 6 に入力されていたパルスが終了して書き込み選択用 T F T 4 2 0、4 2 4、4 2 8 は非導通となり、同時に記憶回路選択信号線 4 1 7 ~ 4 1 9 にパルスが入力され、読み出し選択用 T F T 4 2 1、4 2 5、4 2 9 が導通して、揮発性の記憶回路 A 1 ~ A 3 からの読み出しが可能な状態となる。T s 1 においては、読み出し用ゲート信号線 4 0 5 にパルスが入力されて読み出し用 T F T 4 1 1 が導通し、揮発性の記憶回路 A 1 に記憶されたデジタル映像信号にしたがって画素が駆動される。続いて、T s 2 においては、読み出し用ゲート信号線 4 0 6 にパルスが入力されて読み出し用 T F T 4 1 2 が導通し、揮発性の記憶回路 A 2 に記憶されたデジタル映像信号にしたがって画素が駆動される。最後に、T s 3 においては、読み出し用ゲート信号線 4 0 7 にパルスが入力されて読み出し用 T F T 4 1 3 が導通し、揮発性の記憶回路 A 3 に記憶されたデジタル映像信号によって画素に電圧が印加される。

【0057】以上のようにして、1 フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第 2 のラッチ回路へのデジタル映像信号の転送までは前述と同様の手順である。続く記憶回路への書き込み期間においては、揮発性の記憶回路 B 1 ~ B 3 を用いる。

【0058】なお、揮発性の記憶回路 A 1 ~ A 3 に信号が書き込まれる期間においては、書き込み選択用 T F T 4 2 0、4 2 4、4 2 8 が導通し、揮発性の記憶回路 A 1 ~ A 3 に書き込みが可能な状態となっているが、同時に読み出し選択用 T F T 4 2 3、4 2 7、4 3 1 も導通し、揮発性の記憶回路 B 1 ~ B 3 からの読み出しが可能な状態となっている。逆に、揮発性の記憶回路 B 1 ~ B 3 に信号が書き込まれる期間においては、書き込み選択用 T F T 4 2 2、4 2 6、4 3 0 が導通し、揮発性の記憶回路 B 1 ~ B 3 に書き込みが可能な状態となっているが、同時に読み出し選択用 T F T 4 2 1、4 2 5、4 2 9 も導通し、揮発性の記憶回路 A 1 ~ A 3 からの読み出しが可能な状態となっている。すなわち、本実施例で示す画素においては、揮発性の記憶回路 A 1 ~ A 3 および B 1 ~ B 3 は、あるフレーム期間において書き込みと読み出しが交互に行われる。

【0059】期間 I では、書き込み用ゲート信号線 4 0 2 にパルスが入力されて書き込み用 T F T 4 0 8 が導通し、揮発性の記憶回路 B 1 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 4 0 3 にパルスが入力されて書き込み用 T F T 4 0 9 が導通し、揮発性の記憶回路 B 2 にデジタル映像信号が書

き込まれる。最後に、期間 III では、書き込み用ゲート信号線 4 0 4 にパルスが入力されて書き込み用 T F T 4 1 0 が導通し、揮発性の記憶回路 B 3 にデジタル映像信号が書き込まれる。

【0060】続いて、区間 γ に入り、揮発性の記憶回路 B 1 ~ B 3 に記憶されたデジタル映像信号に従って 2 フレーム目の表示が行われる。同時に、次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、1 フレーム目の表示が終了した揮発性の記憶回路 A 1 ~ A 3 に再び記憶される。

【0061】その後、揮発性の記憶回路 A 1 ~ A 3 に記憶されたデジタル映像信号の表示が区間 δ で行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2 フレーム目の表示が終了した揮発性の記憶回路 B 1 ~ B 3 に再び記憶される。

【0062】不揮発性の記憶回路 C 1 ~ C 3 におけるデジタル映像信号の書き込み、読み出し動作については、実施形態と同様である。

【0063】以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、不揮発性の記憶回路を用いてデジタル映像信号を記憶することによって、表示装置の電源を遮断した後も、静止画のデジタル映像信号を記憶することが可能であり、再度電源を投入した後も、静止画の表示を行うことが出来る。

【0064】[実施例 2] 本実施例においては、画素部の揮発性の記憶回路への書き込みを点順次で行うことにより、ソース信号線駆動回路の第 2 のラッチ回路を省略した例について記す。

【0065】図 5 は、記憶回路を有する画素を用いた液晶表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3 ビットデジタル映像信号に対応したものであり、シフトレジスタ回路 5 0 1、ラッチ回路 5 0 2、画素 5 0 3 を有する。5 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号が入力される信号線であり、画素の説明とともに後述する。

【0066】図 6 は、図 5 に示した画素 5 0 3 の回路構成の詳細図である。実施例 1 と同様、3 ビットデジタル階調に対応したものであり、液晶素子 (L C)、揮発性の記憶回路 (A 1 ~ A 3 および B 1 ~ B 3)、不揮発性の記憶回路 (C 1 ~ C 3) 等を有している。6 0 1 は第 1 ビット (M S B) 信号用ソース信号線、6 0 2 は第 2 ビット信号用ソース信号線、6 0 3 は第 3 ビット (L S

B) 信号用ソース信号線、6 0 4 は書き込み用ゲート信号線、6 0 5 ~ 6 0 7 は、読み出し用ゲート信号線、6 0 8 ~ 6 1 0 は書き込み用 T F T、6 1 1 ~ 6 1 3 は読み出し用 T F T である。記憶回路選択部は、書き込み選択用 T F T 6 2 0、6 2 2、6 2 4、6 2 6、6 2 8、6 3 0 および読み出し選択用 T F T 6 2 1、6 2 3、6 2 5、6 2 7、6 2 9、6 3 1 等を用いて構成される。6 3 2 ~ 6 3 4 および 6 4 1 ~ 6 4 3 は、記憶回路選択信号線である。不揮発性の記憶回路 C 1 ~ C 3 に関しては、記憶回路選択部は、書き込み選択用 T F T 6 3 6、6 3 8、6 4 0 および読み出し選択用 T F T 6 3 5、6 3 7、6 3 9 等を用いて構成される。

【0 0 6 7】図 7 は、本実施例にて示した回路の駆動に関するタイミングチャートである。図 5、図 6 および図 7 を用いて説明する。

【0 0 6 8】シフトレジスタ回路 5 0 1 からラッチ回路 (L A T 1) 5 0 2 までの動作は実施形態および実施例 1 と同様に行われる。図 7 (B) に示すように、第 1 段目でのラッチ動作が終了すると、直ちに画素内に有する揮発性の記憶回路への書き込みを開始する。書き込み用ゲート信号線 6 0 4 にパルスが入力されて書き込み用 T F T 6 0 8 ~ 6 1 0 が導通し、さらに記憶回路選択信号線 6 1 4 ~ 6 1 6 にパルスが入力されて書き込み選択用 T F T 6 2 0、6 2 4、6 2 8 が導通して、揮発性の記憶回路 A 1 ~ A 3 への書き込みが可能な状態となる。ラッチ回路 5 0 2 に保持されたビット毎のデジタル映像信号は、3 本のソース信号線 6 0 1 ~ 6 0 3 を経由して、同時に書き込まれる。

【0 0 6 9】第 1 段目でラッチ回路に保持されたデジタル映像信号が、揮発性の記憶回路へ書き込まれているとき、次段では、サンプリングパルス出力から、ラッチ回路においてデジタル映像信号の保持までが行われている。このようにして、順次揮発性の記憶回路への書き込みが行われていく。

【0 0 7 0】以上を 1 水平期間 (図 7 (A) 中、※※で示す期間) 内に行い、垂直方向の行数分が繰り返されて、区間 α における 1 フレーム分のデジタル映像信号の揮発性の記憶回路への書き込みが終了すると、区間 β で示される 1 フレーム目の表示期間に移る。書き込み用ゲート信号線 6 0 4 に入力されていたパルスが停止し、さらに記憶回路選択信号線 6 1 4 ~ 6 1 6 に入力されていたパルスが停止して書き込み選択用 T F T 6 2 0、6 2 4、6 2 8 が非導通となり、代わって記憶回路選択信号線 6 1 7 ~ 6 1 9 にパルスが入力されて読み出し選択用 T F T 6 2 1、6 2 5、6 2 9 が導通し、揮発性の記憶回路 A 1 ~ A 3 からの読み出しが可能な状態となる。

【0 0 7 1】続いて、実施例 1 で示した時間階調方式により、図 7 (C) に示すように、表示期間 T s 1 では、読み出し用ゲート信号線 6 0 5 にパルスが入力されて読み出し用 T F T 6 1 1 が導通し、揮発性の記憶回路 A 1

に書き込まれているデジタル映像信号により、表示が行われる。続いて T s 2 では、読み出し用ゲート信号線 6 0 6 にパルスが入力されて読み出し用 T F T 6 1 2 が導通し、揮発性の記憶回路 A 2 に書き込まれているデジタル映像信号により、表示が行われ、同様に T s 3 では、読み出し用ゲート信号線 6 0 7 にパルスが入力されて読み出し用 T F T 6 1 3 が導通し、揮発性の記憶回路 A 3 に書き込まれているデジタル映像信号により、表示が行われる。

【0 0 7 2】以上で、1 フレーム目の表示期間が完了する。区間 β では、同時に次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路 5 0 2 へのデジタル映像信号の保持までは前述と同様の手順である。続く揮発性の記憶回路への書き込み期間においては、揮発性の記憶回路 B 1 ~ B 3 を用いる。

【0 0 7 3】なお、揮発性の記憶回路 A 1 ~ A 3 に信号が書き込まれる期間においては、書き込み選択用 T F T 6 2 0、6 2 4、6 2 8 が導通し、揮発性の記憶回路 A 1 ~ A 3 に書き込みが可能な状態となっているが、同時に読み出し選択用 T F T 6 2 3、6 2 7、6 3 1 も導通し、揮発性の記憶回路 B 1 ~ B 3 からの読み出しが可能な状態となっている。逆に、揮発性の記憶回路 B 1 ~ B 3 に信号が書き込まれる期間においては、書き込み選択用 T F T 6 2 2、6 2 6、6 3 0 が導通し、揮発性の記憶回路 B 1 ~ B 3 に書き込みが可能な状態となっているが、同時に読み出し選択用 T F T 6 2 1、6 2 5、6 2 9 も導通し、揮発性の記憶回路 A 1 ~ A 3 からの読み出しが可能な状態となっている。すなわち、本実施例で示す画素においては、揮発性の記憶回路 A 1 ~ A 3 および B 1 ~ B 3 は、あるフレーム期間において書き込みと読み出しが交互に行われる。

【0 0 7 4】記憶回路 B 1 ~ B 3 への書き込み動作、読み出し動作は揮発性の記憶回路 A 1 ~ A 3 の場合と同様である。揮発性の記憶回路 B 1 ~ B 3 への書き込みが終了すると、区間 γ に入り、2 フレーム目の表示期間に移る。さらにこの区間では、次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路 5 0 2 へのデジタル映像信号の保持までは前述と同様の手順である。続く揮発性の記憶回路への書き込み期間においては、再び揮発性の記憶回路 A 1 ~ A 3 を用いる。

【0 0 7 5】その後、揮発性の記憶回路 A 1 ~ A 3 に記憶されたデジタル映像信号の表示が区間 δ で行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2 フレーム目の表示が終了した揮発性の記憶回路 B 1 ~ B 3 に再び記憶される。

【0 0 7 6】不揮発性の記憶回路 C 1 ~ C 3 におけるデジタル映像信号の書き込み、読み出し動作については、実施形態と同様である。

【0 0 7 7】以上の手順を繰り返すことにより、映像の

表示を行う。静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレーム期間で読み込んで表示を行う。さらに、一度電源を遮断し、再度電源を投入した後に静止画を表示するときには、不揮発性の記憶回路 C 1 ~ C 3 に記憶されているデジタル映像信号に基づき表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、実施例 1 にて示した回路と比較すると、ラッチ回路の数を 1 / 2 とすることが出来、回路配置の省スペース化による装置全体の小型化に貢献出来る。

【 0 0 7 8 】 [実施例 3] 本実施例においては、実施例 2 にて示した、第 2 のラッチ回路を省略した液晶表示装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いた液晶表示装置の例について記す。

【 0 0 7 9 】 図 1 7 は、本実施例にて示す液晶表示装置のソース信号線駆動回路の回路構成例を示している。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 1 7 0 1、ラッチ回路 1 7 0 2、スイッチ回路 1 7 0 3、画素 1 7 0 4 を有する。1 7 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号が入力される信号線である。画素の回路構成に関しては、実施例 2 のものと同様で良いので、図 6 をそのまま参照する。

【 0 0 8 0 】 図 1 8 は、本実施例にて示した回路の駆動に関するタイミングチャートである。図 6、図 1 7 および図 1 8 を用いて説明する。

【 0 0 8 1 】 シフトレジスタ回路 1 7 0 1 からサンプリングパルスが出力され、ラッチ回路 1 7 0 2 で、サンプリングパルスに従ってデジタル映像信号を保持するまでの動作は、実施例 1 および実施例 2 と同様である。本実施例では、ラッチ回路 1 7 0 2 と画素 1 7 0 4 内の揮発性の記憶回路との間に、スイッチ回路 1 7 0 3 を有しているため、ラッチ回路でのデジタル映像信号の保持が完了しても、直ちに揮発性の記憶回路への書き込みが開始されない。ドットデータサンプリング期間が終了するまでの間は、スイッチ回路 1 7 0 3 は閉じたままであり、その間、ラッチ回路ではデジタル映像信号が保持され続ける。

【 0 0 8 2 】 図 1 8 (B) に示すように、1 水平期間分のデジタル映像信号の保持が完了すると、その後の帰線期間中にラッチ信号 (L a t c h P u l s e) が入力されてスイッチ回路 1 7 0 3 が一斉に開き、ラッチ回路 1 7 0 2 で保持されていたデジタル映像信号は一斉に画素 1 7 0 4 内の揮発性の記憶回路に書き込まれる。このときの書き込み動作に関わる、画素 1 7 0 4 内の動作、さらに次のフレーム期間における表示の再の読み出し動作に関わる、画素 1 7 0 4 内の動作については、実施例

2 と同様で良いので、ここでは説明を省略する。同様に、不揮発性の記憶回路への書き込み方法およびタイミングに関しても、実施例 2 に従うので、ここでは説明を省略する。

【 0 0 8 3 】 以上の方法によって、ラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

【 0 0 8 4 】 [実施例 4] 本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部 (ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路) の T F T、さらに不揮発性記憶回路部を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である C M O S 回路を図示することとする。

【 0 0 8 5 】 まず、図 9 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ C V D 法で $S i H_4$ 、 $N H_3$ 、 $N_2 O$ から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ~ 2 0 0 [nm] (好ましくは 5 0 ~ 1 0 0 [nm]) 形成し、同様に $S i H_4$ 、 $N_2 O$ から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を 5 0 ~ 2 0 0 [nm] (好ましくは 1 0 0 ~ 1 5 0 [nm]) の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【 0 0 8 6 】 島状半導体層 5 0 0 3 ~ 5 0 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ~ 5 0 0 6 の厚さは 2 5 ~ 8 0 [nm] (好ましくは 3 0 ~ 6 0 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ($S i G e$) 合金などで形成すると良い。

【 0 0 8 7 】 レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや Y A G レーザー、Y V O₄ レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 [Hz] とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 [m J / c m²] (代表的には 2 0 0 ~ 3 0 0 [m J / c m²]) とする。また、Y A G レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 [kHz] とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 [m J / c m²] (代表的には 3 5 0 ~ 5 0 0 [m J / c

m²))とすると良い。そして幅1000~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98[%]として行う。

【0088】次いで、島状半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40[Pa]、基板温度300~400[°C]とし、高周波(13.56[MHz])、電力密度0.5~0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0089】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100[nm]の厚さに形成し、第2の導電膜5009をWで100~300[nm]の厚さに形成する。

【0090】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくことα相のTa膜を容易に得ることが出来る。

【0091】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20

[μΩcm]を実現することが出来る。

【0092】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせ等が挙げられる。

【0093】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0094】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。(図9(B))

【0095】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を1×10¹⁴~5×10¹⁴[atoms/cm²]とし、加速電圧を60~100[kV]として行う。N型を付与する不純物元素として15族に属す

る元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いる。この場合、導電層 5 0 1 1 ~ 5 0 1 6 が N 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域 5 0 1 7 ~ 5 0 2 0 が形成される。第 1 の不純物領域 5 0 1 7 ~ 5 0 2 0 には $1 \times 10^{10} \sim 1 \times 10^{11}$ [atoms/cm³] の濃度範囲で N 型を付与する不純物元素を添加する。

(図 9 (B))

【0096】次に、図 9 (C) に示すように、レジストマスクは除去しないまま、第 2 のエッチング処理を行う。エッチングガスに CF₄ と C l₂ と O₂ とを用い、W 膜を選択的にエッチングする。この時、第 2 のエッチング処理により第 2 の形状の導電層 5 0 2 1 ~ 5 0 2 6 (第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a と第 2 の導電層 5 0 2 1 b ~ 5 0 2 6 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 2 の形状の導電層 5 0 2 1 ~ 5 0 2 6 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【0097】W 膜や T a 膜の CF₄ と C l₂ の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。W と T a のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である WF₆ が極端に高く、その他の WC l₃、T a F₅、T a C l₃ は同程度である。従って、CF₄ と C l₂ の混合ガスでは W 膜及び T a 膜共にエッチングされる。しかし、この混合ガスに適量の O₂ を添加すると CF₄ と O₂ が反応して CO と F になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、T a は F が増大しても相対的にエッチング速度の増加は少ない。また、T a は W に比較して酸化されやすいので、O₂ を添加することで T a の表面が酸化される。T a の酸化物はフッ素や塩素と反応しないためさらに T a 膜のエッチング速度は低下する。従って、W 膜と T a 膜とのエッチング速度に差を作ることが可能となり W 膜のエッチング速度を T a 膜よりも大きくすることが可能となる。

【0098】そして、図 10 (A) に示すように第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーピング量を下げて高い加速電圧の条件として N 型を付与する不純物元素をドーピングする。例えば、加速電圧を 7 0 ~ 1 2 0 [keV] とし、 1×10^{11} [atoms/cm²] のドーピング量で行い、図 10 (B) で島状半導体層に形成された第 1 の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第 2 の形状の導電層 5 0 2 1 ~ 5 0 2 6 を不純物元素に対するマスクとして用い、第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a の下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第 2 の不純物領域 5 0 2 7 ~ 5 0 3 1 が形成される。この第 2 の不純物領域 5 0 2 7 ~ 5 0 3 1

に添加されたリン (P) の濃度は、第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a のテーパ部と重なる半導体層において、第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0099】続いて、図 10 (B) に示すように第 3 のエッチング処理を行う。エッチングガスに CHF₃ を用い、反応性イオンエッチング法 (RIE 法) を用いて行う。第 3 のエッチング処理により、第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a のテーパ部を部分的にエッチングして、第 1 の導電層が半導体層と重なる領域が縮小される。第 3 のエッチング処理によって、第 3 の形状の導電層 5 0 3 2 ~ 5 0 3 7 (第 1 の導電層 5 0 3 2 a ~ 5 0 3 7 a と第 2 の導電層 5 0 3 2 b ~ 5 0 3 7 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 3 の形状の導電層 5 0 3 2 ~ 5 0 3 7 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【0100】第 3 のエッチング処理によって、第 2 の不純物領域 5 0 2 7 ~ 5 0 3 1 においては、第 1 の導電層 5 0 3 2 a ~ 5 0 3 7 a と重なる第 2 の不純物領域 5 0 2 7 a ~ 5 0 3 1 a と、第 1 の不純物領域と第 2 の不純物領域との間の第 3 の不純物領域 5 0 2 7 b ~ 5 0 3 1 b とが形成される。

【0101】そして、図 10 (C) に示すように、P チャネル型 TFT を形成する島状半導体層 5 0 0 4 に、第 1 の導電型とは逆の導電型の第 4 の不純物領域 5 0 3 9 ~ 5 0 4 4 を形成する。第 3 の形状の導電層 5 0 3 3 b を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、N チャネル型 TFT を形成する島状半導体層 5 0 0 3、5 0 0 5、保持容量部 5 0 0 6 および配線部 5 0 3 4 はレジストマスク 5 0 3 8 で全面を被覆しておく。不純物領域 5 0 3 9 ~ 5 0 4 4 にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B₂H₆) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{10} \sim 2 \times 10^{11}$ [atoms/cm³] となるようにする。

【0102】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第 3 の形状の導電層 5 0 3 2、5 0 3 3、5 0 3 5、5 0 3 6 がゲート電極として機能する。5 0 3 7 は、メモリセルのフローティングゲート電極として機能する。また、5 0 3 4 は島状のソース信号線として機能する。(図 10 (C))

【0103】その後、レジストマスク 5 0 3 8 を除去した後、図 11 (A) に示すように、第 2 のゲート絶縁膜 5 0 4 5 形成する。第 2 のゲート絶縁膜 5 0 4 5 の膜厚は、1 0 ~ 2 5 0 [nm] とすれば良い。また、製膜方法

は、公知の気相法（プラズマCVD法、スパッタ法等）を用いれば良い。なお、本実施例においては、70[nm]のSiNO膜をプラズマCVD法により形成する。

【0104】続いて、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中10
 で400～700[℃]、代表的には500～600[℃]で行うものであり、本実施例では500[℃]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0105】さらに、3～100[%]の水素を含む雰囲気中で、300～450[℃]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリング
 20 ボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0106】その後、200～400[nm]の厚さで導電膜を形成し、パターニングを行い、コントロールゲート電極5046を形成する。コントロールゲート電極5046は、第2のゲート絶縁膜5045を介してフローティングゲート電極5037の一部あるいは全体と重なるように形成する（図11（A））。

【0107】第1の層間絶縁膜5047は酸化窒化シリコン膜から100～200[nm]の厚さで形成する。そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線5048、5050、ドレイン領域とコンタクトを形成するドレイン配線5049を形成する。また、画素部においては、接続電極5051、5052を形成する。同時に、メモリセル部においても、接続電極5053、5054を形成する。接続電極5051により、ソース信号線5034は、画素TF
 30 TFTと電気的な接続が形成される（図11（B））。

【0108】その上に有機絶縁物材料から成る第2の層間絶縁膜5055を形成し、続いて画素電極5056を形成する。本実施例で示すような、反射型の液晶表示装置を作成する場合、画素電極5056としては、Al、Agを主成分とする膜、あるいはそれらの積層膜等の、反射性に優れた材料を用いることが望ましい。

【0109】以上のようにして、図11（C）に示すように、Nチャネル型TFT、Pチャネル型TFTを有する駆動回路部と、画素TFT、不揮発性記憶回路を有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板をアクティブマトリクス基板
 50 と呼ぶ。

と呼ぶ。

【0110】続いて、図11（C）の状態のアクティブマトリクス基板を得た後、図12（A）に示すように、アクティブマトリクス基板上に配向膜5057を形成しラビング処理を行う。

【0111】一方、対向基板5058を用意する。対向基板5058には、対向電極5059をパターニング形成し、配向膜5060を形成した後ラビング処理を行う。対向電極には、ITO膜あるいはそれに準ずる透明の導電性材料を用いる。

【0112】スペーサ（図示せず）をアクティブマトリクス基板あるいは対向基板に形成する。スペーサは球状のビーズを散布しても良い。あるいは、表示領域において感光性の樹脂をドット状またはストライプ状にパターニングしても良い。スペーサにより液晶材料の配向欠陥がでないようにする。

【0113】本実施例にて示す反射型の液晶表示装置ではリタデーションの関係からセルギャップは0.5～1.5[μm]が望ましい。本実施例ではセルギャップを画素部において1.0[μm]になるようにする。

【0114】そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤5061で貼り合わせる。シール剤5061にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料5062を注入し、封止剤（図示せず）によって完全に封止する。液晶材料5061には公知の液晶材料を用いれば良い。このようにして図12（A）に示すアクティブマトリクス型液晶表示装置が完成する。

【0115】なお、上記の行程により作成されるアクティブマトリクス型液晶表示装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本実施例は容易に適用され得る。

【0116】また、本実施例においては、ガラス基板上を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。

【0117】本実施例においては、反射型の液晶表示装置を例として説明を行ってきたが、画素電極の構成を変えることで、透過型の液晶表示装置を作成する場合、あるいは、画素の半分を反射電極、残る半分を透明電極とした、半透過型の表示装置として作成する場合にも、本発明は容易に適用することが出来る。

【0118】[実施例5]本発明の表示装置においては、階調の表現手段として時間階調方式を用いている。よって、画素に液晶素子を用いる場合には、通常のアナログ階調方式に比較して、より迅速な応答速度が要求されるため、強誘電性液晶（Ferroelectrics Liquid Crysta
 50

1 : F L C) を用いることが望ましい。本実施例においては、実施例 4 で紹介した表示装置の作成工程において、液晶素子に強誘電性液晶を用いる場合の基板の作成例について記述する。

【 0 1 1 9 】 実施例 4 に従い、図 1 9 (A) (図 1 1 (C) に示した状態と同様) に示すアクティブマトリクス基板を作成する。

【 0 1 2 0 】 一方、対向基板 5 0 5 8 を用意する。対向基板 5 0 5 8 には、対向電極 5 0 5 9 をパターニング形成する。対向電極には、I T O 膜あるいはそれに準ずる透明の導電性材料を用いる。

【 0 1 2 1 】 アクティブマトリクス基板と対向基板に配向膜 5 1 0 1、5 1 0 2 を形成する。日産化学社製の配向膜 R N 1 2 8 6 を形成し、9 0 ℃ で 5 分間プリベークした後、2 5 0 ℃ で一時間ポストベークした。ポストベーク後の膜厚は 4 0 [nm] であった。配向膜の形成方法はフレキシ印刷法あるいはスピナー塗布法で行えば良い。R N 1 2 8 6 はシール剤との密着性が悪いので、シール剤が配置される位置は配向膜を除去する。また、アクティブマトリクス基板と対向基板を電気的に接続するコンタクトパッド上の配向膜と、フレキシブルプリント配線板 (FlexiblePrint Circuit : FPC) を接続するリード線の上には配向膜を形成しない。

【 0 1 2 2 】 配向膜 5 1 0 1、5 1 0 2 をラビングする。このとき、対向基板 5 0 5 8 とアクティブマトリクス基板を貼り合わせたときのラビング方向が平行になるようにする。ラビング処理はラビングの布として吉川化工社製の Y A - 2 0 R を用いた。常陽工学社製のラビング装置により、押しこみ量が 0 . 2 5 [mm]、ロール回転数が 1 0 0 [rpm]、ステージ速度が 1 0 [mm/sec.]、ラビング回数が 1 回でラビングした。ラビングロールの直径は 1 3 0 [mm] である。ラビング後に水流を基板面に照射して配向膜を洗浄した。

【 0 1 2 3 】 次に、シール剤 5 1 0 3 を形成した。シール剤は液晶材料の注入口を一箇所に設け、真空下で注入ができるパターンとすることが出来る。

【 0 1 2 4 】 シール剤を日立化成社製のシールディスプレイにより対向基板上に形成した。シール剤は三井化学社製の X N - 2 1 S を用いた。シール剤の仮焼成は 9 0 ℃ で 3 0 分行い、次の 1 5 分で徐冷した。

【 0 1 2 5 】 シール剤 X N - 2 1 S は熱プレスをしたも、2 . 3 ~ 2 . 6 [μm] のセルギャップしか得られないことがわかっている。そこで 1 . 0 [μm] のセルギャップを形成するために、画素部に比べて、1 . 5 [μm] 以上積層膜の厚さが薄い領域を設けてシール剤を配置すると良い。本実施例では、第 1 の層間絶縁膜 5 0 4 5 と第 2 の層間絶縁膜 5 0 4 6 をエッチングにより除去した領域にシール材 5 1 0 3 を配置する。

【 0 1 2 6 】 シール剤を形成すると同時に導電性スペーサ (図示しない) を形成する。

【 0 1 2 7 】 スペーサ (図示しない) を対向基板あるいはアクティブマトリクス基板に形成する。スペーサは球状のビーズを散布しても良い。あるいは、表示領域において感光性の樹脂をドット状またはストライプ状にパターニングしても良い。スペーサにより液晶材料の配向欠陥がでないようにする。

【 0 1 2 8 】 反射型の液晶表示装置ではリタデーションの関係からセルギャップは 0 . 5 ~ 1 . 5 [μm] が望ましい。本実施例ではセルギャップを画素部において 1 . 0 [μm] になるようにする。

【 0 1 2 9 】 その後、ニュートム社製の貼り合わせ装置により、対向基板とアクティブマトリクス基板のマーカーを合わせ、貼り合わせを行った。

【 0 1 3 0 】 次に、0 . 3 ~ 1 . 0 [kgf/cm²] の圧力を基板平面に垂直な方向にかつ基板全面に加えながら、クリーンオープンにて 1 6 0 ℃、3 時間で熱硬化を行い、シール剤を硬化し、対向基板とアクティブマトリクス基板を接着させる。

【 0 1 3 1 】 対向基板とアクティブマトリクス基板を貼り合わせてできる一対の基板を分断する。

【 0 1 3 2 】 液晶材料 5 1 0 4 は双安定性を示す強誘電性液晶や、三安定性を示す反強誘電性液晶等を用いる。

【 0 1 3 3 】 液晶材料を等方相まで加熱し注入をする。その後、0 . 1 ℃/min.] で室温まで徐冷した (図 1 9 (B))。

【 0 1 3 4 】 封止剤として注入口を覆うように小型のディスプレイにより紫外線硬化型樹脂 (図示しない) を塗布する。

【 0 1 3 5 】 その後、フレキシブルプリント配線板 (図示しない) を異方性導電膜 (図示しない) により接着して、アクティブマトリクス型液晶表示装置が完成する。

【 0 1 3 6 】 アクティブマトリクス基板の画素電極を透明導電膜にすれば、本実施例の工程により透過型の液晶表示装置も作製することができる。透過型の液晶表示装置ではセルギャップはリタデーションの関係及び強誘電性液晶の螺旋構造を抑制する目的から 1 . 0 ~ 2 . 5 [μm] とすることが望ましい。

【 0 1 3 7 】 [実施例 6] 実施例 1 ~ 実施例 3 にて示した、本発明の液晶表示装置の画素部においては、揮発性の記憶回路としてスタティック型メモリ (Static RAM : S R A M) を用いて構成していたが、揮発性の記憶回路は S R A M のみに限定されない。本発明の液晶表示装置の画素部に適用可能な揮発性の記憶回路には、他にダイナミック型メモリ (Dynamic RAM : D R A M) 等があげられる。本実施例においては、それらの揮発性の記憶回路を用いて回路を構成する例を紹介する。

【 0 1 3 8 】 図 8 は、画素に配置された揮発性の記憶回路 A 1 ~ A 3 および B 1 ~ B 3 に D R A M を用いた例を示している。基本的な構成は、実施例 1 で示した回路と同様である。揮発性の記憶回路 A 1 ~ A 3 および B 1 ~

B3に用いたDRAMに関しては、一般的な構成のものを用いれば良い。本実施例では比較的構成の簡単な、図8(B)に示すようなインバータおよび容量によって構成したものを用いて図示している。

【0139】ソース信号線駆動回路の動作は、実施例1と同様である。ここで、SRAMと異なり、DRAMの場合、一定期間ごとに再書き込み動作（以後、この動作をリフレッシュと表記する）が必要であるため、リフレッシュ用TFT801～803を有する。リフレッシュは、静止画を表示している期間（揮発性の記憶回路に記憶されたデジタル映像信号を繰り返し読み出して表示を行っている期間）のあるタイミングで、リフレッシュ用TFT801～803をそれぞれ導通させ、画素部における電荷を、揮発性の記憶回路側に戻すことによって行われる。

【0140】さらに、特に図示しないが、他形式の揮発性の記憶回路として、強誘電体メモリ（Ferroelectric RAM：FeRAM）を利用して本発明の液晶表示装置の画素部を構成することも可能である。FeRAMは、不揮発性でありながらSRAMやDRAMと同等の書き込み速度を有するメモリであるため、本発明においては揮発性の記憶回路部分に用いることが可能であり、その書き込み電圧が低い等の特徴から、本発明の液晶表示装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

【0141】[実施例7]本発明を適用して作成した駆動回路を用いたアクティブマトリクス型表示装置には様々な用途がある。本実施例では、本発明を適用して作成した駆動回路を用いた表示装置を組み込んだ半導体装置について説明する。

【0142】このような表示装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図15および図16に示す。

【0143】図15(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606から構成されている。本発明は表示部2604に適用することができる。

【0144】図15(B)はビデオカメラであり、本体2611、表示部2612、音声入力部2613、操作スイッチ2614、バッテリー2615、受像部2616から成っている。本発明は表示部2612に適用することができる。

【0145】図15(C)はモバイルコンピュータあるいは携帯型情報端末であり、本体2621、カメラ部2622、受像部2623、操作スイッチ2624、表示部2625で構成されている。本発明は表示部2625に適用することができる。

【0146】図15(D)はヘッドマウントディスプレイであり、本体2631、表示部2632、アーム部2633で構成される。本発明は表示部2632に適用することができる。

【0147】図15(E)はテレビであり、本体2641、スピーカー2642、表示部2643、受信装置2644、増幅装置2645等で構成される。本発明は表示部2643に適用することができる。

【0148】図15(F)は携帯書籍であり、本体2651、表示部2652、記憶媒体2653、操作スイッチ2654、アンテナ2655から構成されており、ミニディスク(MD)やDVD(Digital Versatile Disc)に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部2652に適用することができる。

【0149】図16(A)はパーソナルコンピュータであり、本体2701、画像入力部2702、表示部2703、キーボード2704で構成される。本発明は表示部2703に適用することができる。

【0150】図16(B)はプログラムを記録した記録媒体を用いるプレーヤーであり、本体2711、表示部2712、スピーカー部2713、記録媒体2714、操作スイッチ2715で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2612に適用することができる。

【0151】図16(C)はデジタルカメラであり、本体2721、表示部2722、接眼部2723、操作スイッチ2724、受像部(図示しない)で構成される。本発明は表示部2722に適用することができる。

【0152】図16(D)は片眼のヘッドマウントディスプレイであり、表示部2731、バンド部2732で構成される。本発明は表示部2731に適用することができる。

【0153】[実施例8]図21に携帯情報端末に本発明を実施した例を示す。この例では静止画を表示する場合には、CPU2106の映像信号処理回路2107、VRAM2111のなどの機能を停止させ、消費電力の低減を図ることができる。図21では動作をおこなう部分を点線で表示してある。また、コントローラ2112はCOGで表示装置2113に装着してもよいし、表示装置内部に一体形成してもよい。図22、23に携帯電話に本発明を実施した例を示す。図21と同様に静止画表示は一部の機能を停止できるので消費電力を低減できる。

【0154】

【発明の効果】各画素の内部に配置された複数の揮発性の記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で揮発性

の記憶回路に記憶されたデジタル映像信号を反復して用い、継続的に静止画表示を行う際に、外部回路、ソース信号線駆動回路などを停止させておくことが可能となる。さらに、各画素に配置された不揮発性の記憶回路を用いてデジタル映像信号を保持することによって、電源を遮断した後もデジタル映像信号の保持が可能となり、液晶表示装置全体の低消費電力化に大きく貢献することが出来る。

【図面の簡単な説明】

【図 1】 複数の揮発性の記憶回路と、複数の不揮発性の記憶回路とを内部に有する本発明の画素の回路図。

【図 2】 本発明の画素を用いて表示を行うためのソース信号線駆動回路の回路構成例を示す図。

【図 3】 本発明の画素を用いて表示を行うためのタイミングチャートを示す図。

【図 4】 複数の揮発性の記憶回路と、複数の不揮発性の記憶回路とを内部に有する本発明の画素の詳細な回路図。

【図 5】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 6】 図 5 のソース信号線駆動回路によって駆動される、本発明を応用した画素の詳細な回路図。

【図 7】 図 5 および図 6 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 8】 記憶回路にダイナミック型メモリを用いる場合の本発明の画素の詳細な回路図。

【図 9】 本発明の画素を有する液晶表示装置の作成

工程例を示す図。

【図 10】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 11】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 12】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 13】 従来の液晶表示装置の全体の回路構成を簡略に示す図。

【図 14】 従来の液晶表示装置のソース信号線駆動回路の回路構成例を示す図。

【図 15】 本発明の画素を有する表示装置の適用が可能な電子装置の例を示す図。

【図 16】 本発明の画素を有する表示装置の適用が可能な電子装置の例を示す図。

【図 17】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 18】 図 17 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

20 【図 19】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

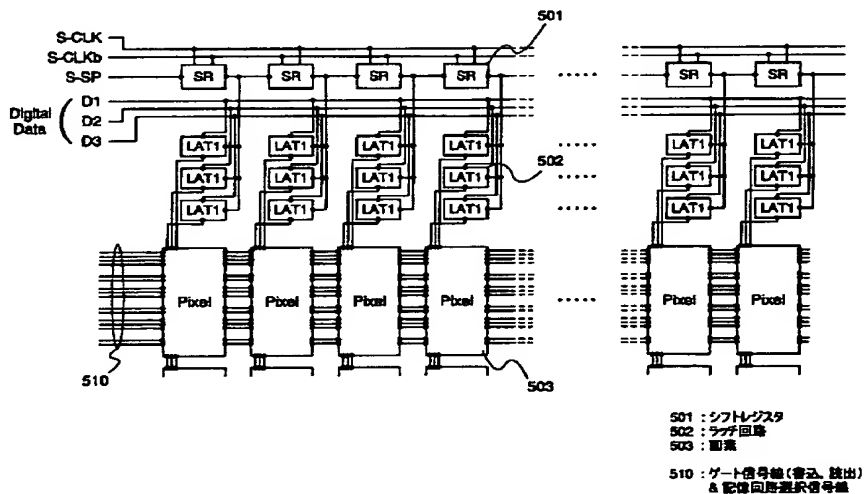
【図 20】 デコーダを用いたゲート信号線駆動回路の例を示す図。

【図 21】 本発明を用いた携帯情報端末のブロック図。

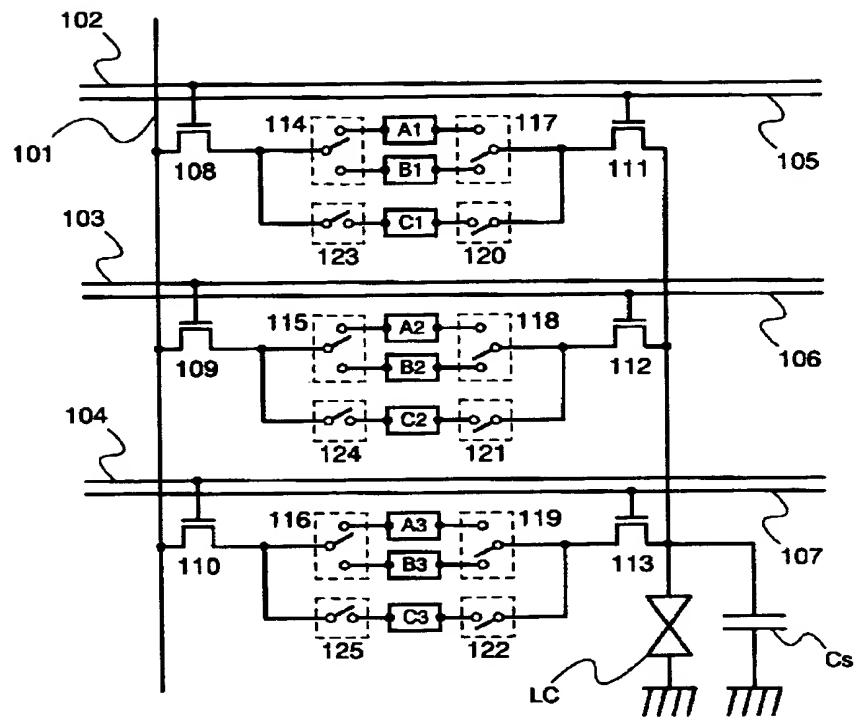
【図 22】 本発明を用いた携帯電話のブロック図。

【図 23】 携帯電話の送受信部のブロック図。

【図 5】



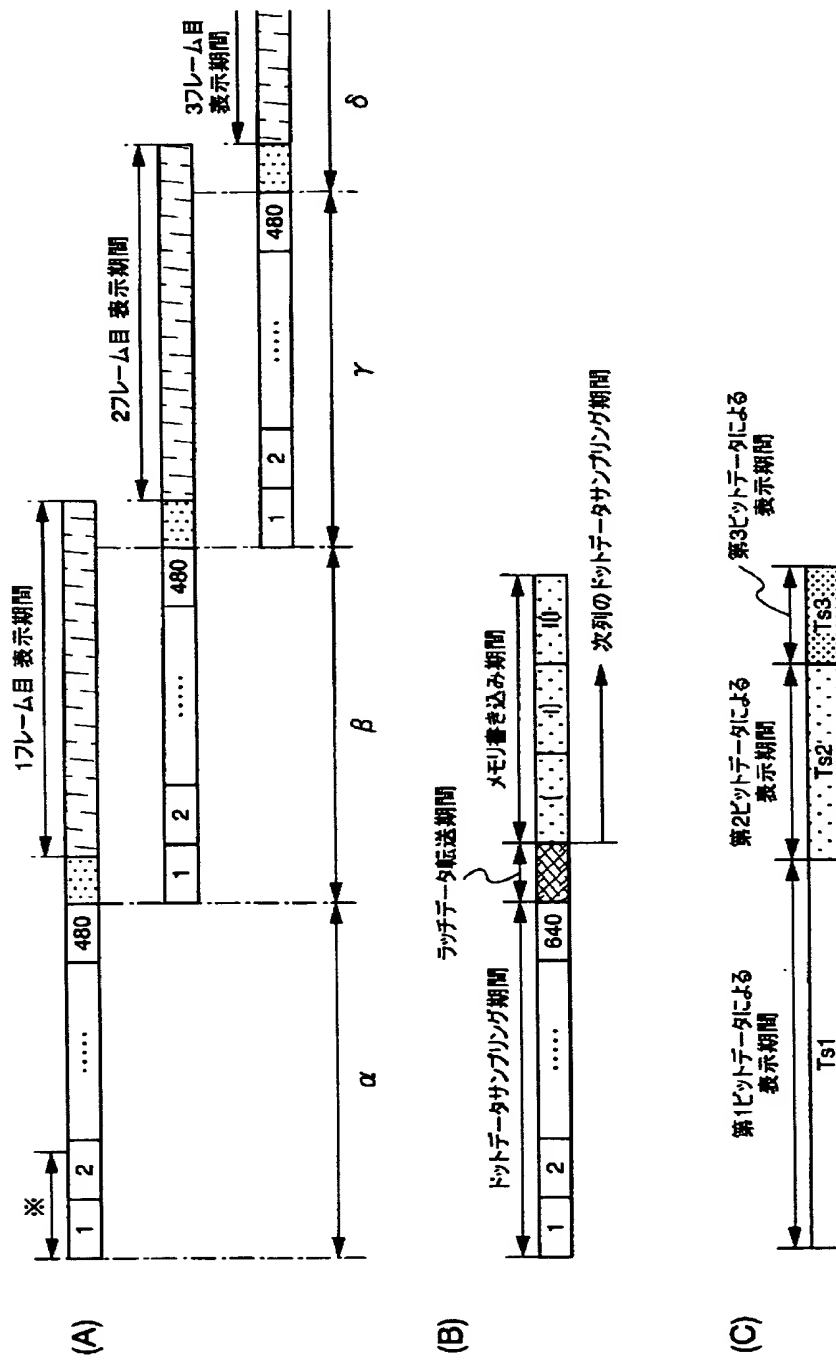
【図 1】



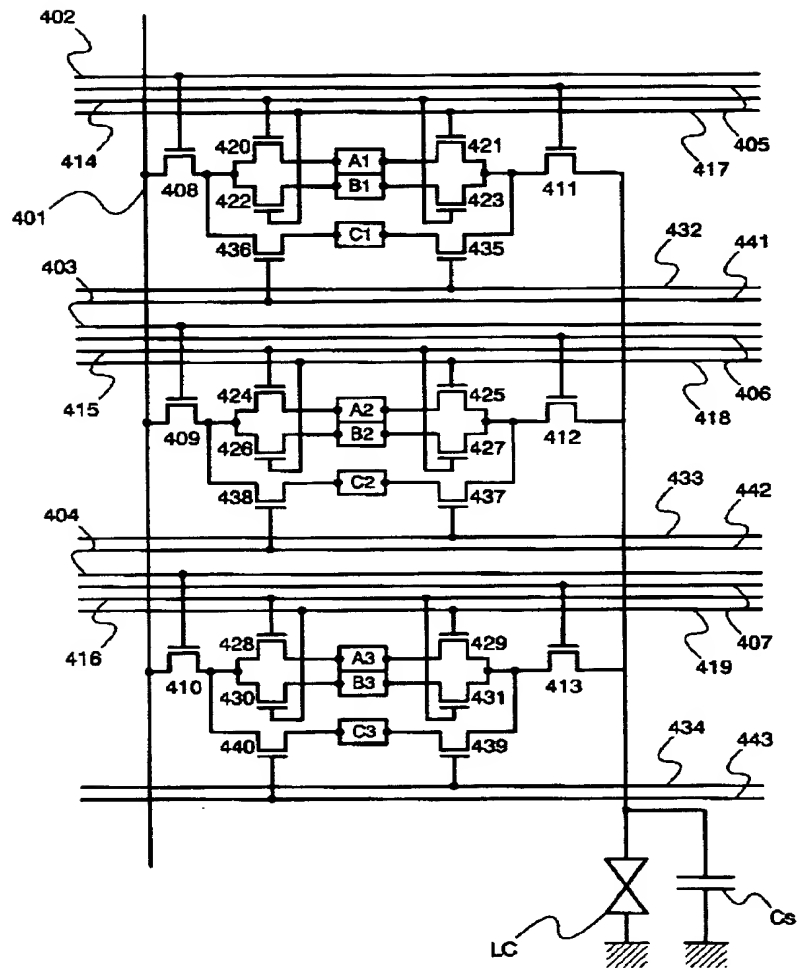
- 101 : ソース信号線
 102~104 : 書き込み用ゲート信号線
 105~107 : 読み出し用ゲート信号線
 108~110 : 書き込み用TFT
 111~113 : 読み出し用TFT
 114~116 : 書き込み用記憶回路選択部(V)
 117~119 : 読み出し用記憶回路選択部(V)
 120~122 : 書き込み用記憶回路選択部(NV)
 123~125 : 読み出し用記憶回路選択部(NV)

- A1~A3, B1~B3 : 記憶回路
 C1~C3 : 不揮発性の記憶回路

【図 3】

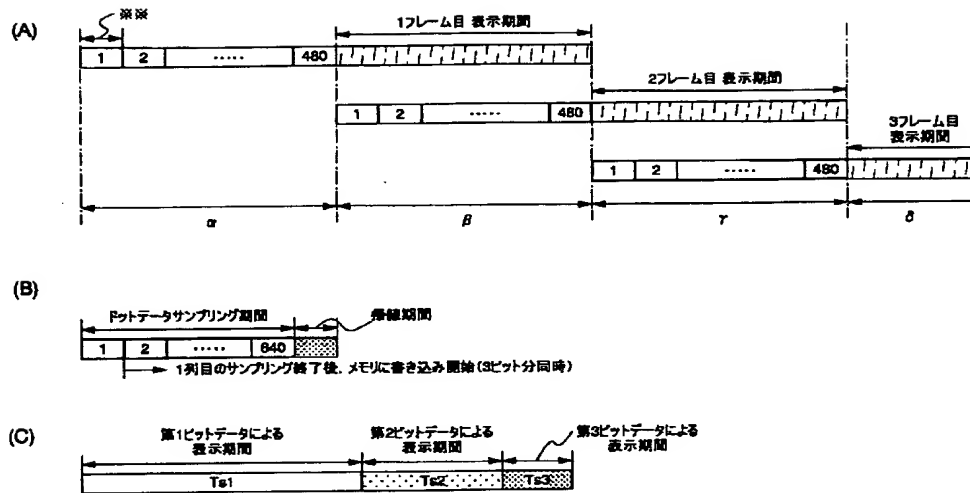


【図4】

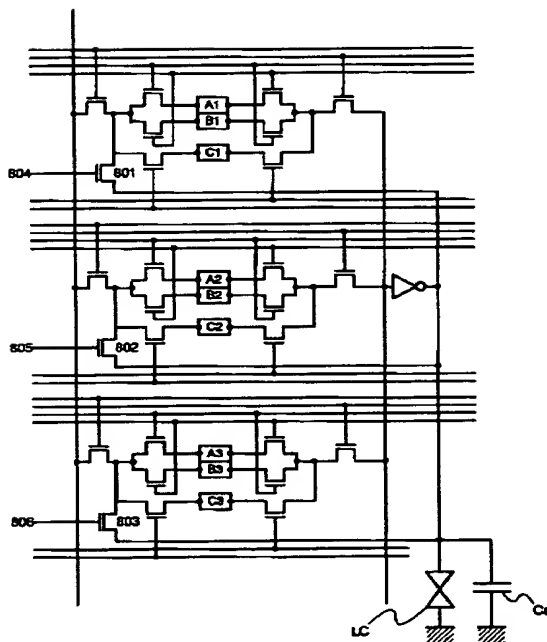


- | | | | |
|---------------|----------------|------------------|-----------------|
| 401 | : ソース信号線 | 432~434, 441~443 | : 記憶回路選択信号線(NV) |
| 402~404 | : 書き込用ゲート信号線 | 435, 437, 439 | : 書き込選択用TFT(NV) |
| 405~407 | : 読出用ゲート信号線 | 436, 438, 440 | : 読出用TFT(NV) |
| 408~410 | : 書き込用TFT | | |
| 411~413 | : 読出用TFT(V) | | |
| 414~419 | : 記憶回路選択信号線(V) | A1~A3, B1~B3 | : 記憶回路 |
| 420, 422, 424 | : 書き込選択用TFT(V) | C1~C3 | : 不揮発性の記憶回路 |
| 426, 428, 430 | : 書き込選択用TFT(V) | | |
| 421, 423, 425 | : 読出選択用TFT(V) | | |
| 427, 429, 431 | : 読出選択用TFT(V) | | |

【図 7】

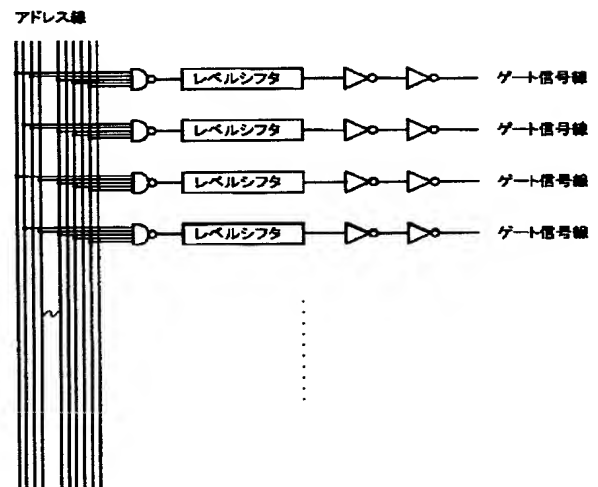


【図 8】

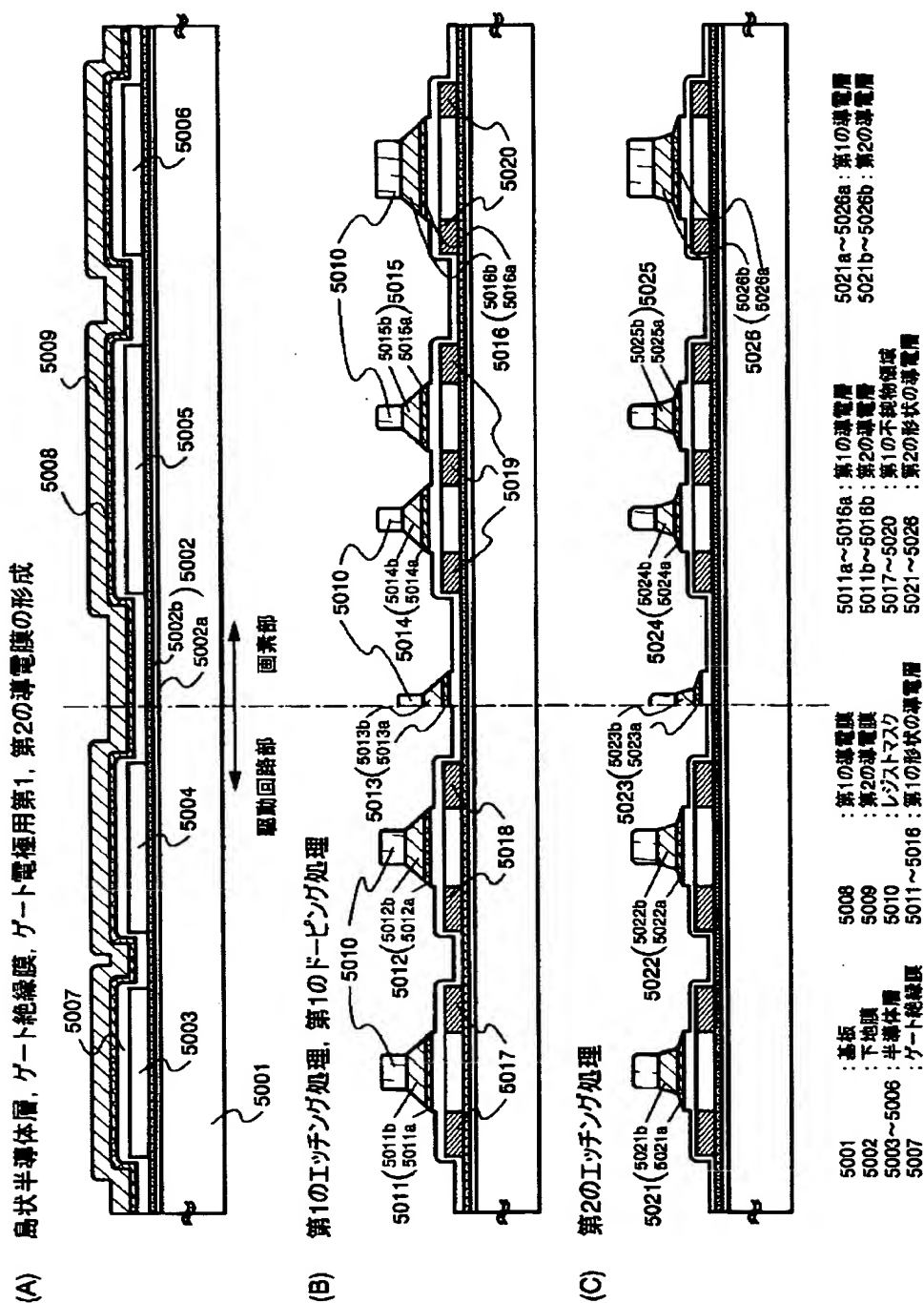


801～803 : リフレッシュ用TFT A1～A3, B1～B3 : 記憶回路(DRAM)
 804～806 : リフレッシュ用信号線 C1～C3 : 不揮発性の記憶回路

【図 20】

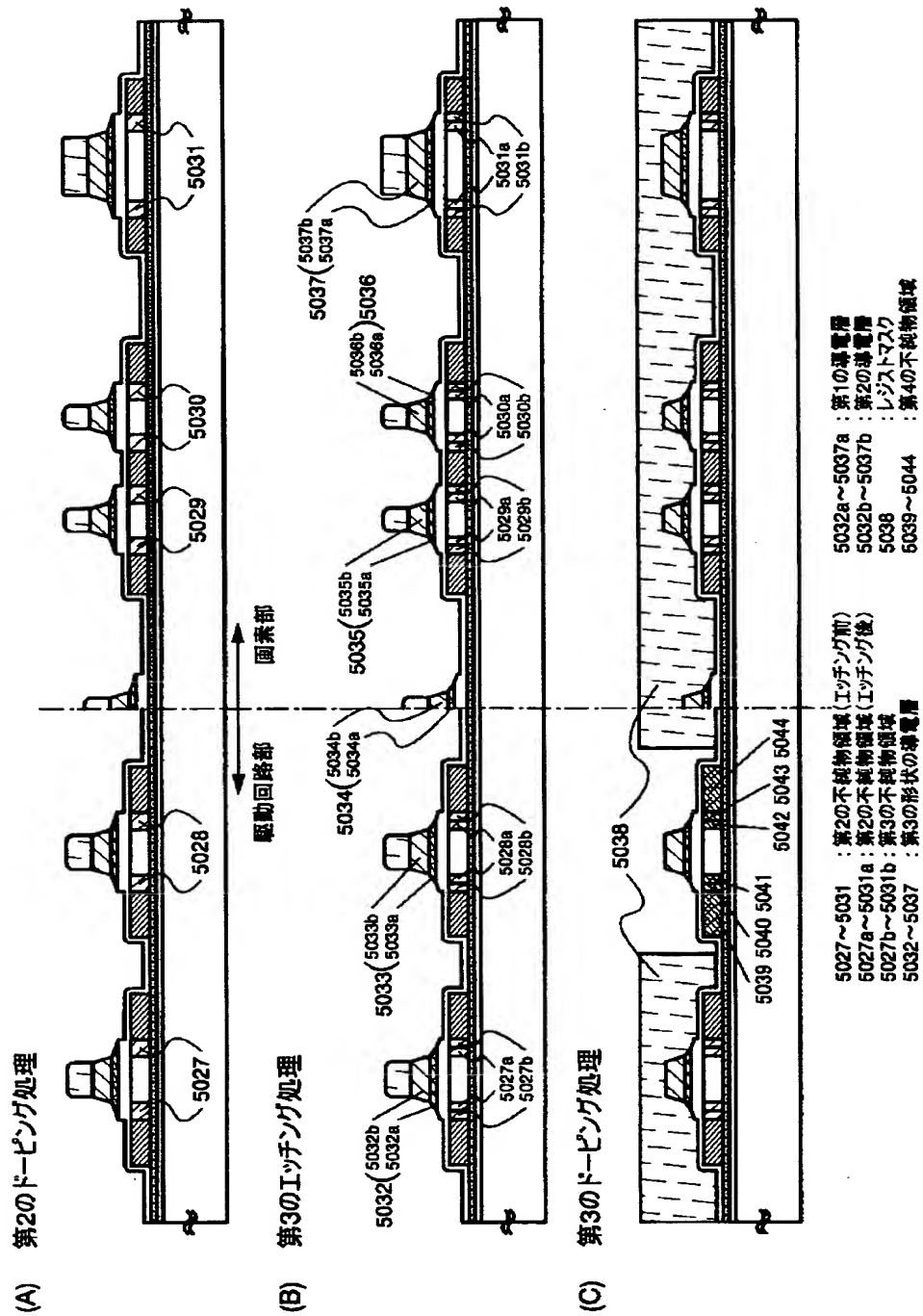


【图 9】

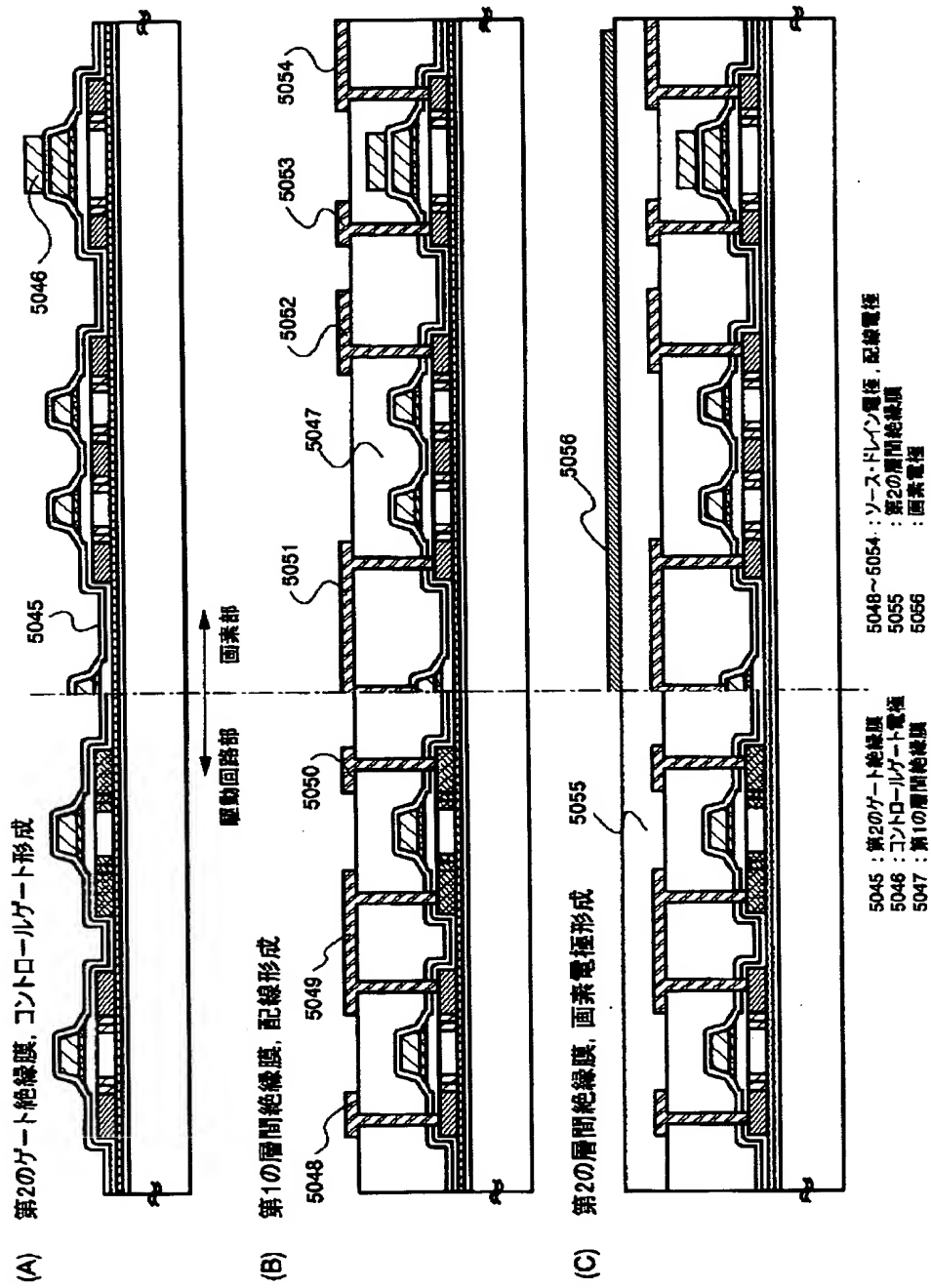


5001	基板	5008	: 第1の導電層	5011a~5016a	: 第1の導電層	5021a~5026a	: 第1の導電層
5002	下地膜	5009	: 第2の導電層	5011b~5016b	: 第2の導電層	5021b~5026b	: 第2の導電層
5003~5006	半導体層	5010	: レジストマスク	5017~5020	: 第1の不純物領域		
5007	ゲート絶縁膜	5011~5016	: 第1の形状の導電層	5021~5026	: 第2の形状の導電層		

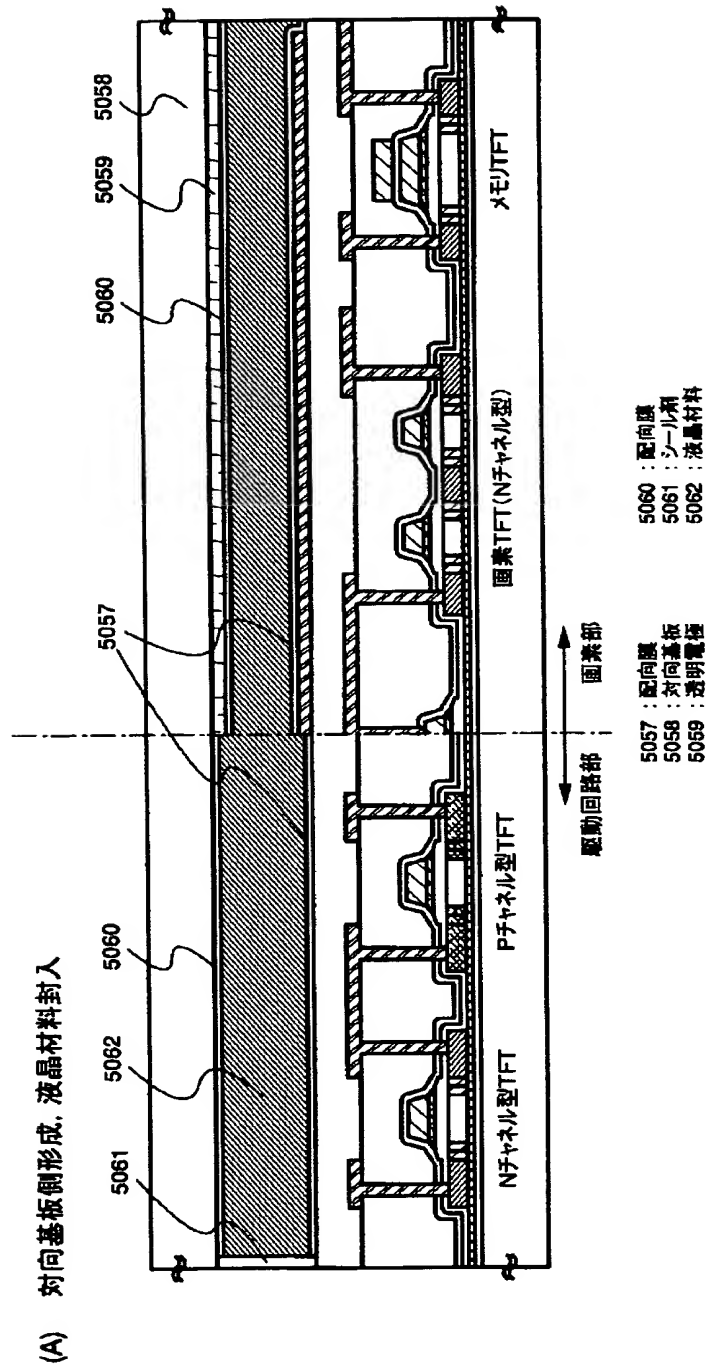
【図 10】



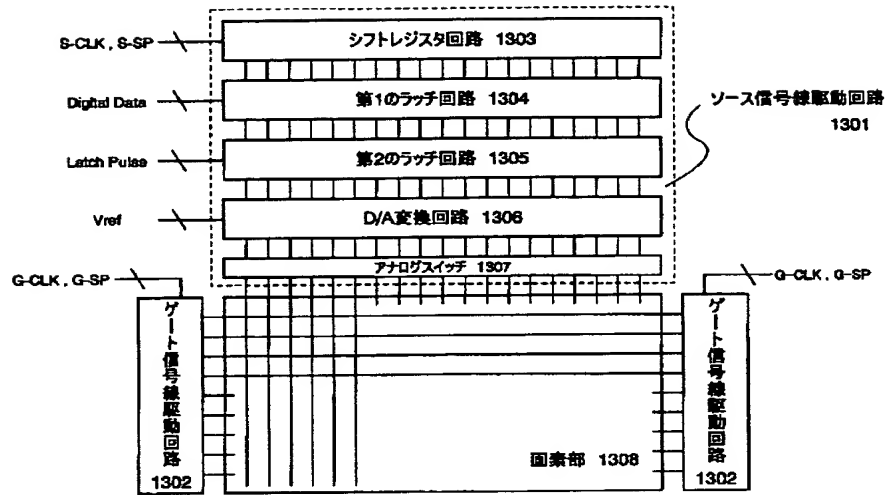
【図 11】



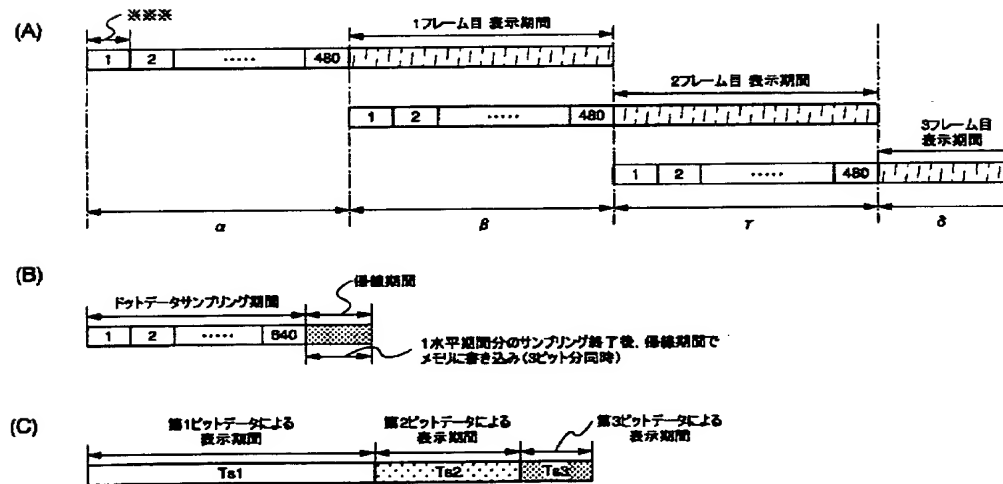
【図 12】



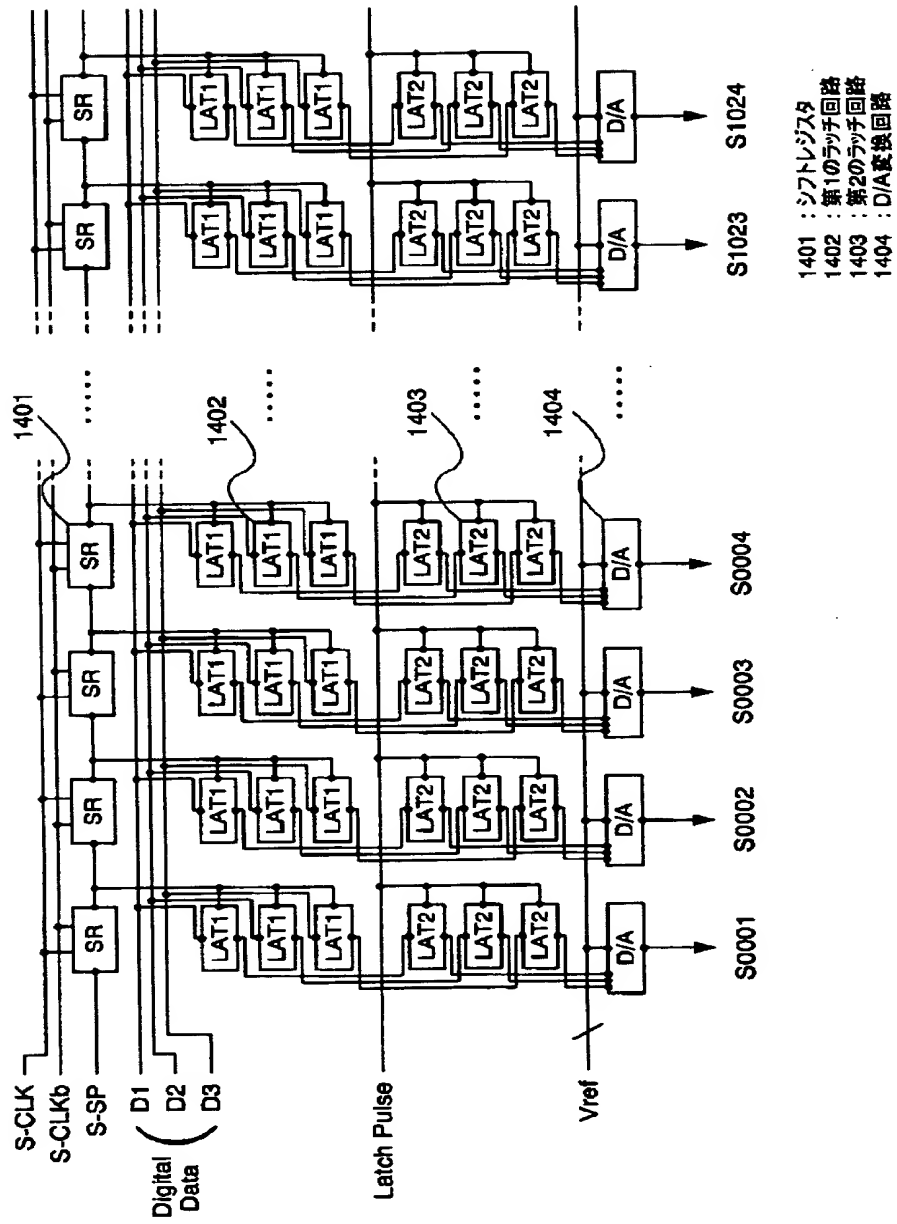
【図13】



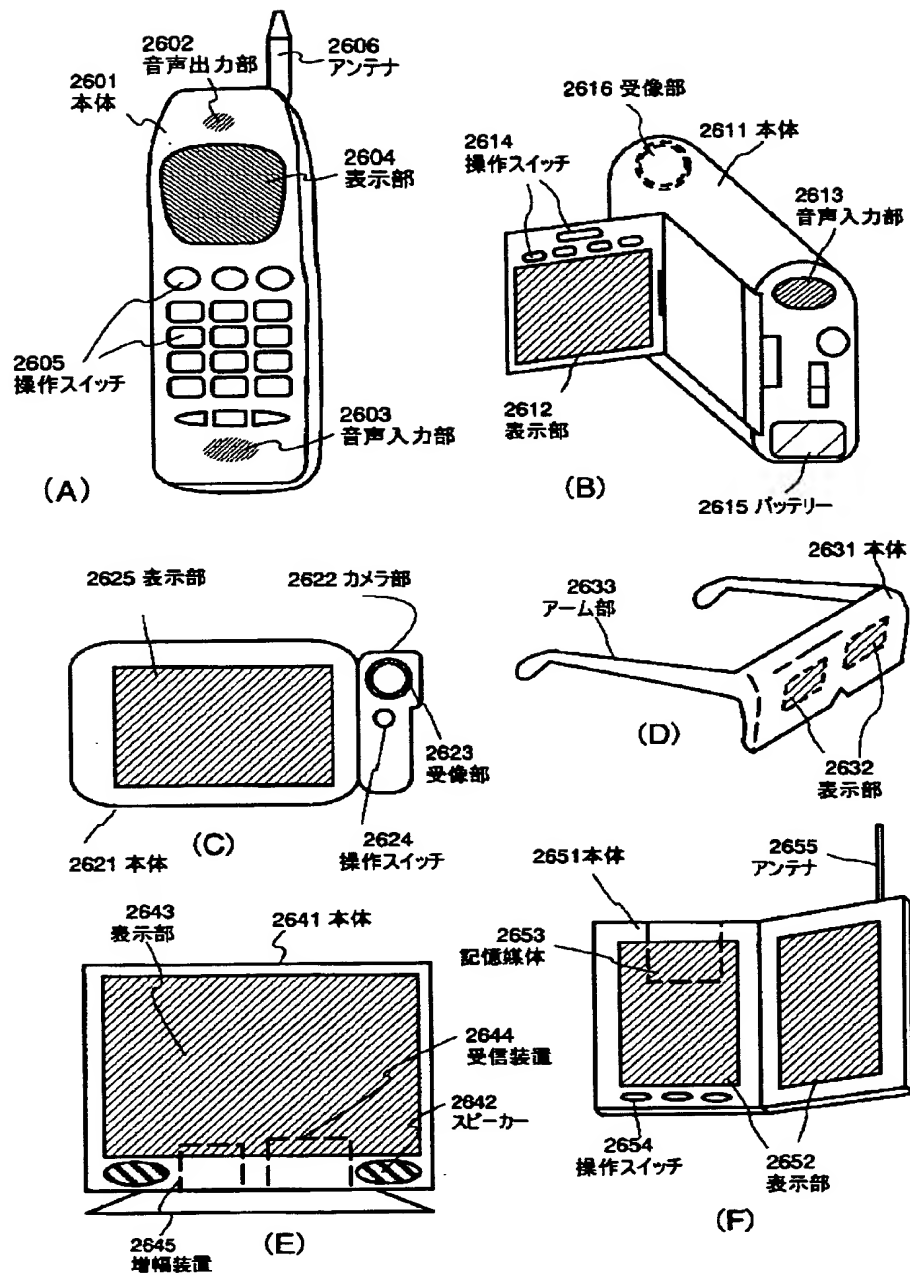
【図18】



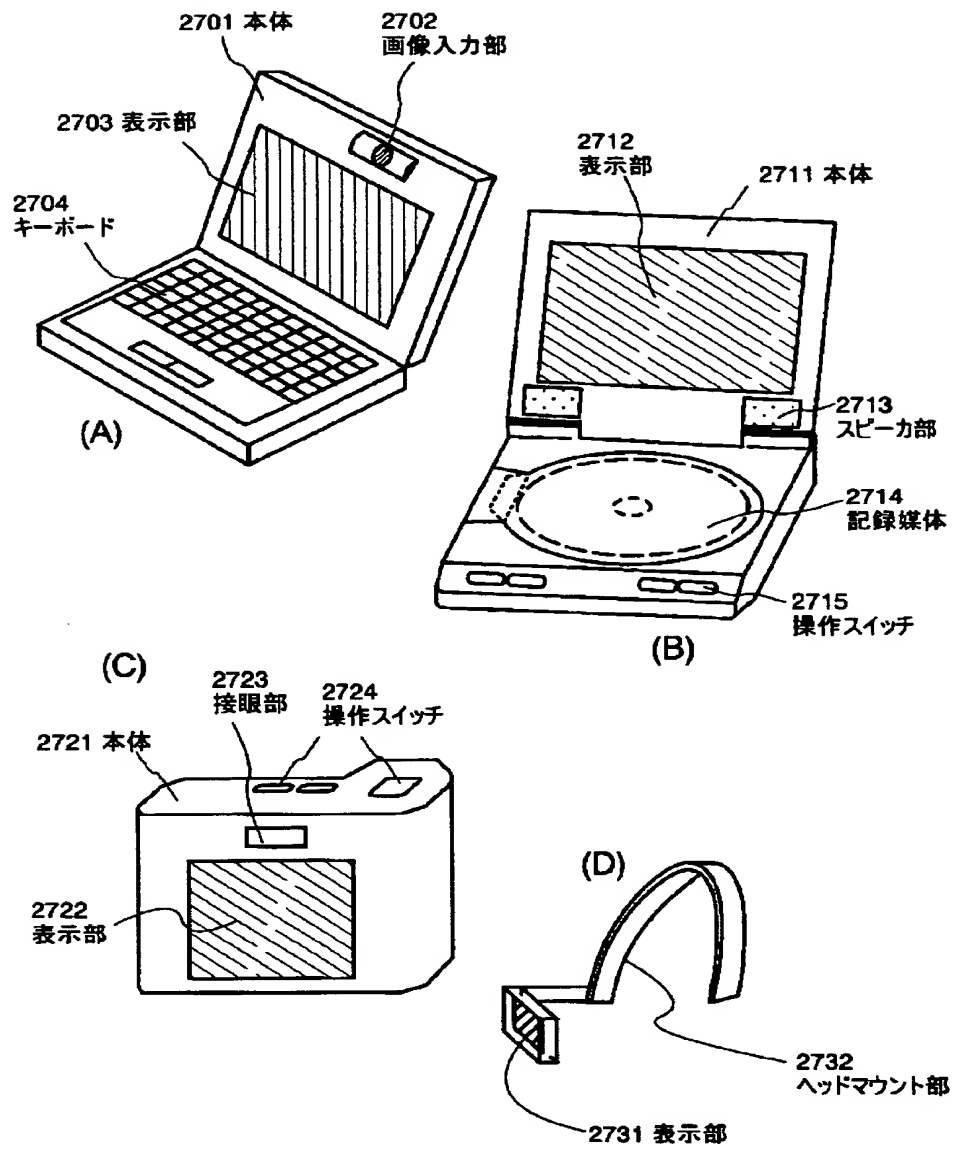
【図 14】



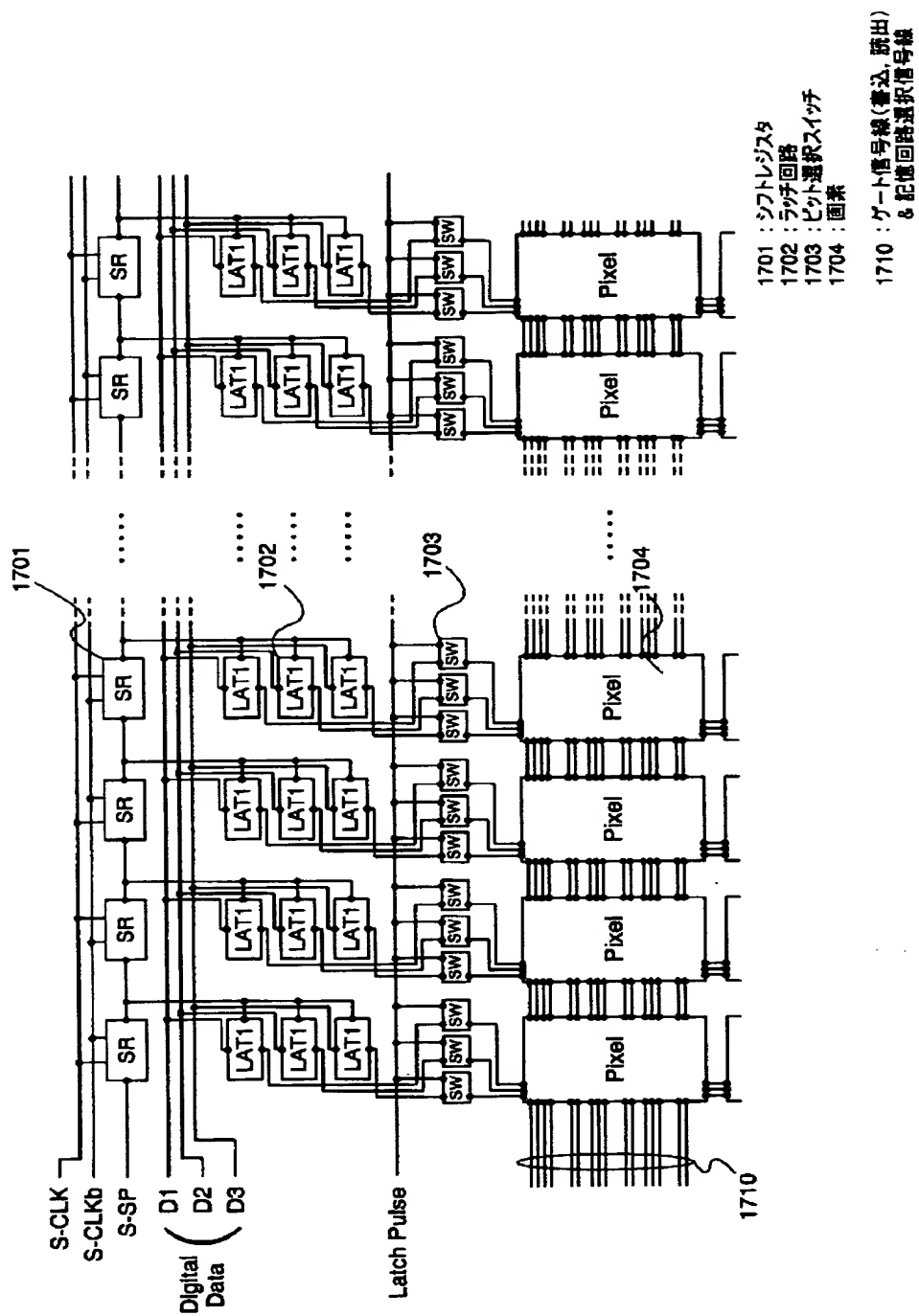
【図 15】



【図 16】



【図 17】



(A)

(B)

対向基板側形成、液晶材料封入

図素部

駆動回路部

Nチャネル型TFT

Pチャネル型TFT

図素TFT (Nチャネル型)

モジュールTFT

5101

5102

5103

5104

5105

5106

5107

5108

5109

5110

5111

5112

5113

5114

5115

5116

5117

5118

5119

5120

5121

5122

5123

5124

5125

5126

5127

5128

5129

5130

5131

5132

5133

5134

5135

5136

5137

5138

5139

5140

5141

5142

5143

5144

5145

5146

5147

5148

5149

5150

5151

5152

5153

5154

5155

5156

5157

5158

5159

5160

5161

5162

5163

5164

5165

5166

5167

5168

5169

5170

5171

5172

5173

5174

5175

5176

5177

5178

5179

5180

5181

5182

5183

5184

5185

5186

5187

5188

5189

5190

5191

5192

5193

5194

5195

5196

5197

5198

5199

5200

5103

5104

5105

5106

5107

5108

5109

5110

5111

5112

5113

5114

5115

5116

5117

5118

5119

5120

5121

5122

5123

5124

5125

5126

5127

5128

5129

5130

5131

5132

5133

5134

5135

5136

5137

5138

5139

5140

5141

5142

5143

5144

5145

5146

5147

5148

5149

5150

5151

5152

5153

5154

5155

5156

5157

5158

5159

5160

5161

5162

5163

5164

5165

5166

5167

5168

5169

5170

5171

5172

5173

5174

5175

5176

5177

5178

5179

5180

5181

5182

5183

5184

5185

5186

5187

5188

5189

5190

5191

5192

5193

5194

5195

5196

5197

5198

5199

5200

5101

5102

5103

5104

5105

5106

5107

5108

5109

5110

5111

5112

5113

5114

5115

5116

5117

5118

5119

5120

5121

5122

5123

5124

5125

5126

5127

5128

5129

5130

5131

5132

5133

5134

5135

5136

5137

5138

5139

5140

5141

5142

5143

5144

5145

5146

5147

5148

5149

5150

5151

5152

5153

5154

5155

5156

5157

5158

5159

5160

5161

5162

5163

5164

5165

5166

5167

5168

5169

5170

5171

5172

5173

5174

5175

5176

5177

5178

5179

5180

5181

5182

5183

5184

5185

5186

5187

5188

5189

5190

5191

5192

5193

5194

5195

5196

5197

5198

5199

5200

5101

5102

5103

5104

5105

5106

5107

5108

5109

5110

5111

5112

5113

5114

5115

5116

5117

5118

5119

5120

5121

5122

5123

5124

5125

5126

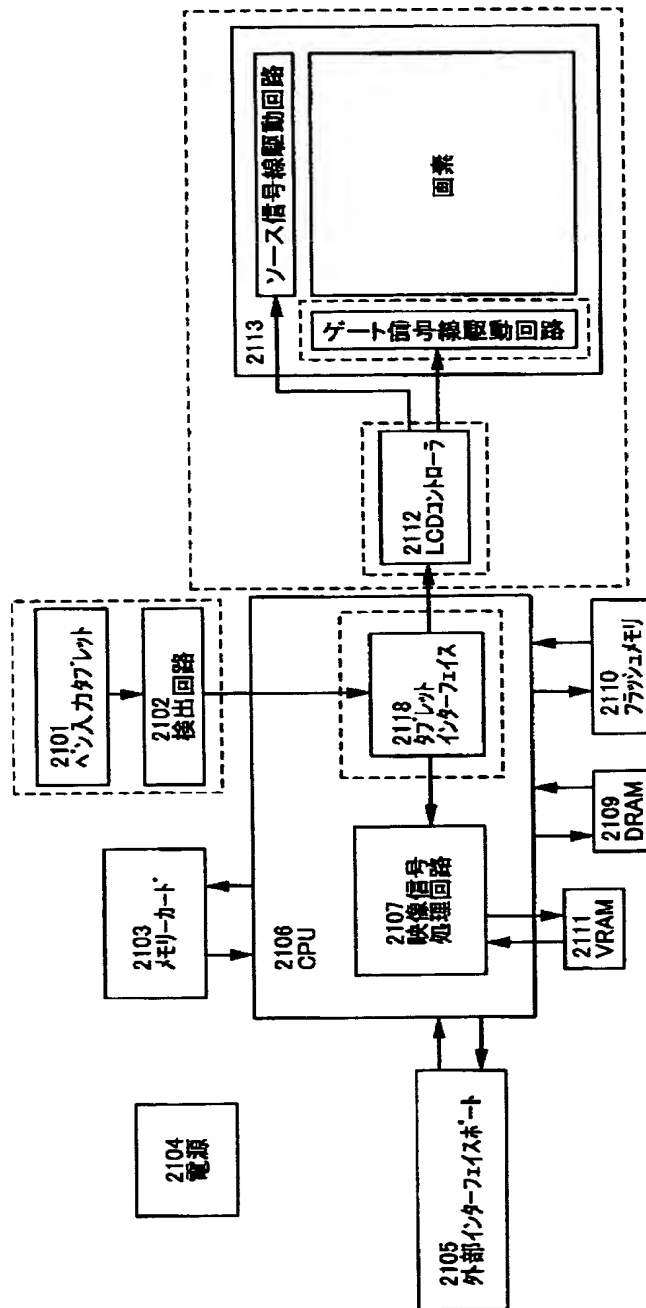
5127

5128

5129

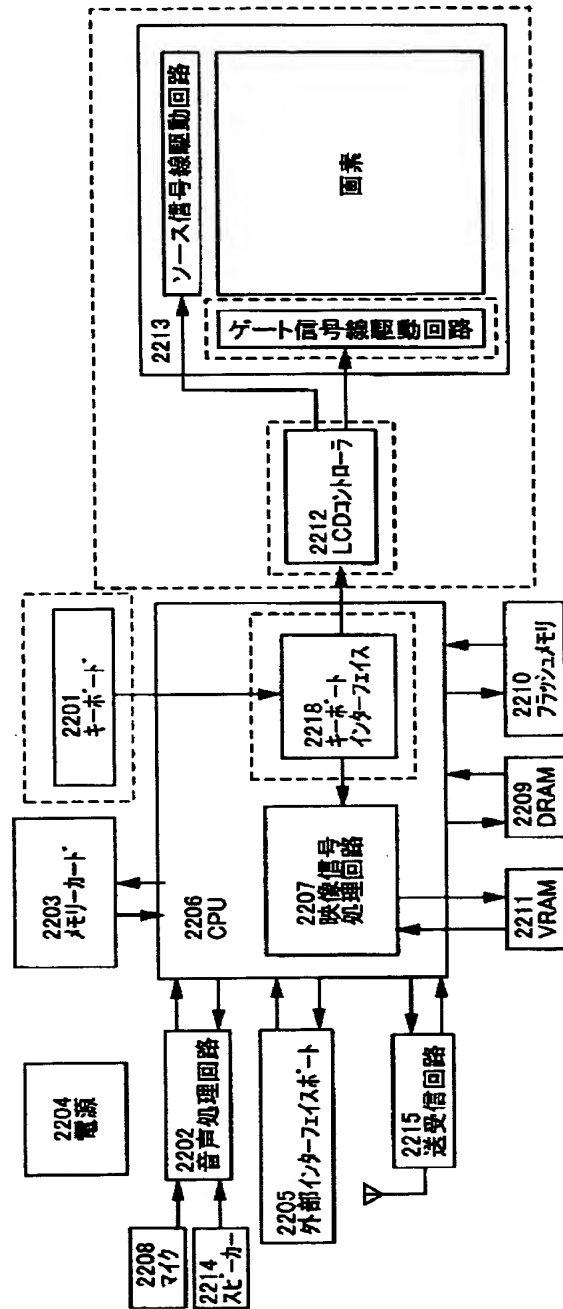
5

【図21】



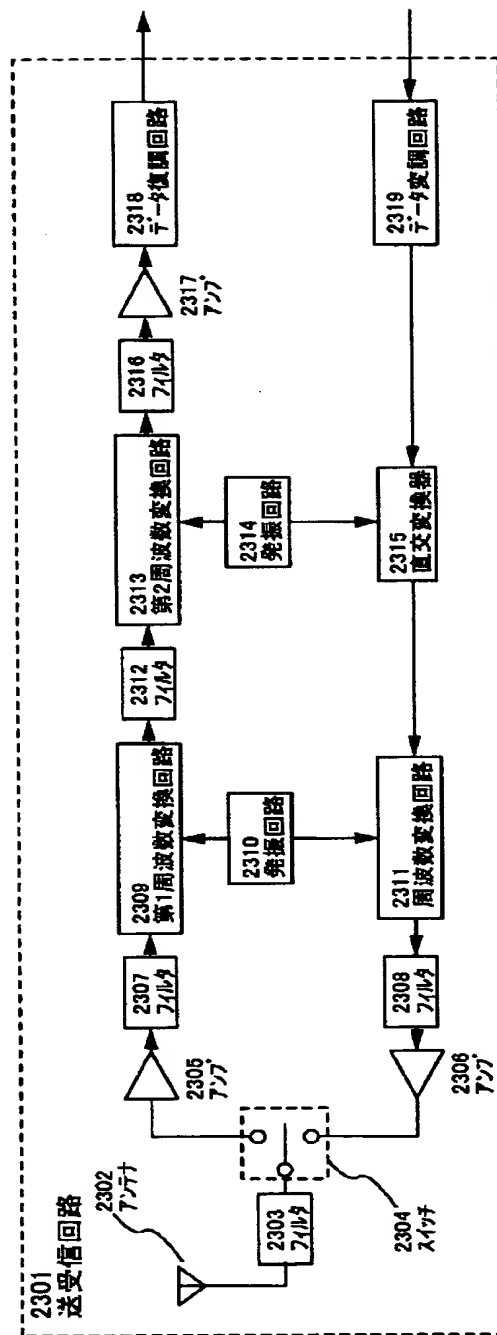
携帯情報端末のブロック図

【図 22】



携帯電話ブロック図

【図 23】



送受信回路ブロック図

フロントページの続き

(51) Int. Cl.⁷
G 0 9 G 3/20識別記号
6 2 4
6 8 0F I
G 0 9 G 3/20

ターコード (参考)

6 2 4 B
6 8 0 A
6 8 0 T
6 8 0 V

F ターム(参考) 2H093 NA51 NC22 NC26 NC28 NC34
ND39 NE01
5C006 AA01 AA02 AC24 AF41 AF69
BB16 BC03 BC11 BC16 BF03
BF04 BF09 BF11 BF49 FA47
5C080 AA10 BB05 DD26 FF11 GG02
GG07 GG08 JJ02 JJ03 JJ06
KK02 KK07 KK43